



JP11220044

Biblio

Page 1



LOW-VOLTAGE EEPROM/NVRAM TRANSISTOR AND MANUFACTURE THEREOF

Patent Number: JP11220044

Publication date: 1999-08-10

Inventor(s): OGURA MASAKI

Applicant(s):: OGURA MASAKI

Requested Patent: ☐ JP11220044

Application Number: JP19980051220 19980127

Priority Number(s):

IPC Classification: H01L21/8247 ; H01L29/788 ; H01L29/792 ; H01L27/115 ; H01L27/105

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve the electron injection efficiency strikingly, by providing the step-difference channel/drain structure, wherein a vertical channel/drain part is added under a floating gate, in the horizontal channel structure.

SOLUTION: A transistor 400a has a P-type silicon substrate 401, N+ source diffusion 404, the horizontal channel part of 410, drain diffusion 406, a floating gate 440 which covers both a horizontal channel and a step-difference channel, and a control gate 445. The floating gate is dielectrically separated by a dielectric layer 42, which is the dioxide thermally grown from the surface of a semiconductor substrate. The control gate 445 is capacitively coupled (capacitive coupling) to the control gate 440 through a dielectric film 430. The dielectric film can be any of the thermally grown silicon dioxide or the combination layer of the silicon dioxide and silicon nitride.

Data supplied from the esp@cenet database - I2

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11220044 A**

(43) Date of publication of application: **10 . 08 . 99**

(51) Int. Cl

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

H01L 27/105

(21) Application number: **10051220**

(71) Applicant: **OGURA MASAKI**

(22) Date of filing: **27 . 01 . 98**

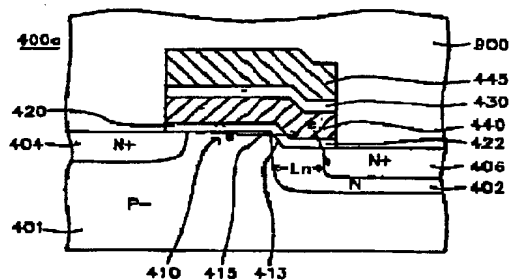
(72) Inventor: **OGURA MASAKI**

**(54) LOW-VOLTAGE EEPROM/NVRAM TRANSISTOR
AND MANUFACTURE THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the electron injection efficiency strikingly, by providing the step-difference channel/drain structure, wherein a vertical channel/drain part is added under a floating gate, in the horizontal channel structure.

SOLUTION: A transistor 400a has a P-type silicon substrate 401, N⁺ source diffusion 404, the horizontal channel part of 410, drain diffusion 406, a floating gate 440 which covers both a horizontal channel and a step-difference channel, and a control gate 445. The floating gate is dielectrically separated by a dielectric layer 42, which is the dioxide thermally grown from the surface of a semiconductor substrate. The control gate 445 is capacitively coupled (capacitive coupling) to the control gate 440 through a dielectric film 430. The dielectric film can be any of the thermally grown silicon dioxide or the combination layer of the silicon dioxide and silicon nitride.



COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-220044

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.⁸ 識別記号
 H 0 1 L 21/8247
 29/788
 29/792
 27/115
 27/105

F I
 H 0 1 L 29/78 3 7 1
 27/10 4 3 4
 4 4 1

審査請求 未請求 請求項の数43 書面 (全 27 頁)

(21) 出願番号 特願平10-51220

(22) 出願日 平成10年(1998) 1月27日

(71) 出願人 397003471

小椋 正気

アメリカ合衆国12590 ニューヨーク州

ワッピンガー フォールズ オールドホー

ブウェルロード 140

(72) 発明者 小椋 正気

東京都杉並区高井戸東三丁目2の24

(74) 代理人 弁理士 田中 香樹 (外1名)

(54) 【発明の名称】 低電圧EEPROM/NVRAMトランジスターとその製造方法

(57) 【要約】 (修正有)

【目的】 エレクトロンの注入効率を上げることにより、低電圧化成いは書き込み時間の短縮を図る。その低電圧高注入とFNTトンネルを組み合わせることにより不揮発性のランダムアクセスメモリー動作を得る。

【構成】 チャンネルホットエレクトロンの速度方向の水平面に対し、垂直にフローティングゲートを置くと同時に垂直面チャンネルの不純物分布を最適化した、垂直段差トランジスター構造を構成する。垂直ゲートとドレイン電圧の水平電界相乗効果と非散乱直進注入はエレクトロンのフローティングゲートへの注入効率を高める。ビット線の電圧選択により書き込み消去も同時に出来るNVRAMである。

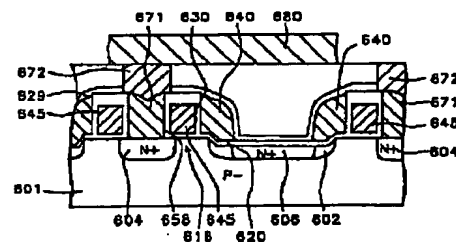


FIG. 12C

601 半導体基板
 602 N+領域
 604 プー
 606 ドレイン
 618 コントロールゲート下のチャンネル
 620 トンネル酸化膜
 629 絶縁膜 (ポリシリコン)
 630 絶縁膜
 640 フローティングゲート
 643 コントロールゲート
 653 ポリシリコン酸化膜
 671 ポリシリコンコンタクト
 672 ポリシリコンコンタクト
 680 メタル配線 (ビット)

【特許請求の範囲】

【請求項1】チャンネルからフローティングゲートへのチャンネルホットエレクトロンの注入をより効率的に出来る、電氣的にプログラム出来るメモリーデバイスで次の特徴を持つもの：ソースとドレイン間にチャンネルを持つ基板；前記のチャンネル領域とソース／ドレインの一部の上に電導層のフローティングゲート層があり、前記の基板とフローティングゲート層間に誘電層を持つ構造；前記フローティングゲート下の前記のチャンネルに水平と垂直な部分を両方持つもの

【請求項2】請求項1の電氣的にプログラマブルなメモリーデバイスで前記の水平と垂直な部分は水平チャンネルと垂直チャンネルであり、前記の垂直チャンネルは前記のドレイン領域に隣接しており、水平チャンネルは前記のソース領域に隣接しており、そのデバイスは動作する時、水平チャンネルで加速されたエレクトロンはその運動方向に直進し、その進行方向で対し前記の垂直なチャンネルオキサイドを通りぬけて前記の垂直チャンネル上の前記フローティングゲートの垂直部分に注入されることを提供するもの

【請求項3】請求項2の電氣的プログラマブルメモリーデバイスの前記の垂直チャンネルは深さが約20から200nmであるもの

【請求項4】請求項2の電氣的プログラマブルメモリーデバイスの前記の垂直チャンネルの角度が水平面から計ったときに30度から150度の間であるもの

【請求項5】請求項2の電氣的プログラマブルメモリーデバイスの前記のフローティングゲート下の垂直チャンネルがNタイプの材料であり、 $1 \times 10^{17} \text{ cm}^{-3}$ から $1 \times 10^{19} \text{ cm}^{-3}$ の間で軽くドーピングされているもの

【請求項6】請求項1の電氣的にプログラマブルメモリーデバイスに於て、前記の水平チャンネルの延長が他の別の（フローティングしていない）コントロールゲートで覆われている；そして前記の垂直な段差チャンネルはフローティングゲートで覆われる、それにより前記の水平チャンネルと垂直チャンネルが電氣的に2つの隔離されたゲートによって制御される。水平チャンネルで加速されたエレクトロンは進行方向に直進して垂直なフローティングゲートへ注入されるもの

【請求項7】シングルポリシリコンEEPROMメモリーセルで次の特徴を持っているもの；従来のFETランジスターとフローティングゲートデバイスを直列につないだもの；フローティングゲートデバイスのフローティングゲート下に前記の水平と垂直段差チャンネル／ドレインを持つが、フローティングゲート下の段差Nドレインの長さが意図的に長くされドレイン間のカブリングキャパシタンスを増やすもの；そして上記の水平チャンネル／ドレインが普通「オン」になっているもの

【請求項8】シングルポリシリコンEEPROMメモリーセルで次の特徴を持つもの；フローティングゲートメ

モリートランジスターが水平と垂直な段差チャンネル／ドレインを持つもの；そして外側にカブリングキャパシターがあるもの；で前記のキャパシターのゲートはフローティングゲートと同じ導伝材料で形成されているもので一緒に接続されているもの；前記の水平チャンネルが普通「オフ」になっており；そして前記のカブリングキャパシターの他のターミナルである拡散層に電圧をかける事により前記のフローティングゲートメモリートランジスターが選択されるもの

10 【請求項9】シングルポリシリコンEPROMメモリーセルデバイスで次の特徴を持つもの；フローティングゲートメモリーセルトランジスターで水平と垂直な段差チャンネル／ドレインを持つもの；そしてカブリングキャパシターがあり；前記のカブリングキャパシターに前記のトランジスターのフローティングゲートが接続しているものでフローティングゲート下の段差Nドレインの長さの水平部の長さよりも小さくても良いが、カブリングキャパシターはカブリングレシオを増やす為前記のフローティングゲートトランジスター領域より少なくともより大きいもの；前記の水平チャンネルが普通「オフ」になっており、前記のメモリートランジスターがカブリングキャパシターに電圧をかけると選択出来るもの

20 【請求項10】請求項9のEPROMメモリーセルに於いて段差チャンネル／ドレイン構造のある前記のフローティングゲートメモリートランジスターの前記の段差Nジャンクションの同じサイドで消去とプログラム動作が信頼性を持って行われるもので、フローティングゲートからNドレイン拡散（ディフュージョン）へのトンネリングの為の高電圧に耐えるようにソースよりも深いNドレインジャンクションを軽くドーピングをするもの

30 【請求項11】ダブルポリシリコンメモリーセルで次の特徴を持つもの；ソース、ドレインとチャンネルのあるフローティングスタックゲートメモリートランジスターでチャンネルから前記のフローティングゲートへと効率よいエレクトロンの注入を提供する水平と垂直の段差チャンネル／ドレインを持つもの；フローティングゲートからNドレイン拡散（ディフュージョン）へのトンネリングの為の高電圧に耐えられるように、前記の水平と垂直な段差ジャンクションにおいてソースよりも深いNドレインジャンクションを軽くドーピングをすることにより提供される信頼性のある前記のメモリーセルの消去動作を提供するもの

40 【請求項12】ダブルポリシリコンスプリットゲートEPROMメモリーセルで次の特徴を持つもの；ソースとドレインとチャンネルを持つフローティングスプリットゲートメモリートランジスターで水平と垂直な段差チャンネル／ドレイン構造を持ち、前記のフローティングゲートへチャンネルから効率の良いエレクトロン注入を提供するもの；フローティングゲートからNドレイン拡散へトンネリングの為の高電圧に耐えるよう軽いドービ

50

ングと、より深いN-ドレインジャンクションによって提供される前記の水平と垂直段差ジャンクションでの前記のメモリーセルの信頼性のある消去方法を提供するもの

【請求項13】ダブルポリシリコンゲートEPROMメモリーセルでダブルポリシリコンフローティングゲートトランジスターが水平と垂直な段差チャンネル/ドレインをもっている；前記のフローティングゲートにチャンネルから効率よくエレクトロン注入をする構造を持っている；コントロールゲートがある；N-ドレイン拡散上のフローティングゲート上の重複した部分の長さが水平チャンネルの長さより長く調整してある；そして前記のフローティングゲートから前記のコントロールゲートへのトンネリングにより前記のメモリーセルの消去が出来るもの

【請求項14】請求項9のシングルポリシリコンEPROMメモリーセルで選択されたワードライン消去が小さな消去ブロックサイズで行われ、不必要なプログラム消去サイクルがフローティングゲートトランジスターで最小限にとどめられる為耐性が良くなることを提供するもの

【請求項15】請求項11のダブルポリシリコンスタックEPROMメモリーセルに於いてN-ドレイン拡散（ディフュージョン）上の重複したフローティングゲートの長さを水平チャンネルの長さより長く調整して、又前記のドレインジャンクションを前記のソースジャンクションと同じ程浅くしても消去動作を提供するもの

【請求項16】請求項12のダブルポリシリコンスプリットゲートEPROMメモリーセルでN-ドレイン拡散（ディフュージョン）上の重複したフローティングゲートの長さを水平チャンネルの長さより長く調整して、又前記のドレインジャンクションを前記のソースジャンクションと同じ程浅くしても消去動作を提供するもの

【請求項17】不揮発性RAMで低電圧プログラミングとポリシリコンからポリシリコンへの消去動作の両方が出来るもので次の特徴を持つもの；基板にソースとドレイン領域がありその間にチャンネルがあるもの；フローティングゲート層が前記のソースとドレイン領域と前記のチャンネルの一部の上にあり、その構造はダイイレクトリックレヤーとコンダクターレヤーが含まれている；前記のフローティングゲートの下の前記のチャンネルが水平と垂直の部分の両方を持っている；そしてワードライン選択ゲートが前記の水平チャンネル部の一部分にあるもの

【請求項18】請求項17の不揮発性RAMで低電圧プログラミングの方法とポリシリコンからポリシリコンへの消去動作方法を又その二つを同時に提供するもの

【請求項19】トリプルポリシリコン電気的プログラマブルメモリーデバイスでチャンネルからフローティングゲートへのエレクトロンの注入がより効率的に行えるもの

ので次の特徴を持つもの；ソースとドレインの間にチャンネル領域をもつ基板；垂直チャンネル部上にフローティングゲートとスタックしたもう一つのポリ合わせて二層のポリシリコンの構造が前記のドレインの一部分上に存在し、且つ前記の水平チャンネル部分とソースの一部分上に三層めのポリシリコンが存在し、その基板、ポリシリコン間にダイイレクトリックレヤーの絶縁膜を持つもの；そして前記の垂直チャンネルスタックフローティングゲート構造は水平FETデバイスと直結されており、別々に分離されたポリシリコンゲートを持つ水平チャンネルの中で加速されたエレクトロンが垂直フローティングゲートに注入される前記のエレクトロン注入メカニズムを利用するもの

【請求項20】請求項19のトリプルポリシリコン電気的プログラマブルメモリーデバイスに於いて前記のフローティングゲート上に前記の水平なポリシリコンゲートの延長が提供されており、それによりフローティングゲート上に蓄えられたエレクトロンはフローティングゲートから水平ポリシリコンゲートへのトンネリングにより消去され除去されるもの

【請求項21】電気的にプログラマブルなメモリーデバイスでチャンネルからフローティングゲートへのエレクトロン注入が効率的に行われるものの製造方法で次の特徴を持つもの；ソースとドレイン間にチャンネルを持つ基板；前記のチャンネル領域とソース/ドレインの一部の上に電導層のフローティングゲート層があり、前記の基板とフローティングゲート層間に誘電層を持つ構造；前記フローティングゲート下の前記のチャンネルに水平と垂直な部分を両方持つ；N-ドレインの端は垂直段差にセルフアラインで形成される；そのN-領域はソース領域よりも低い位置にある

【請求項22】請求項21の電気的にプログラマブルなメモリーデバイスに於いて前記の水平と垂直な部分が水平チャンネルと垂直チャンネルであり、前記の垂直チャンネルは前記のドレイン領域に隣接して存在し、前記の水平チャンネルは前記のソース領域に隣接して存在し、そのデバイスは動作するとき、水平チャンネルで加速されたエレクトロンは進行方向に直進して、その進行方向に垂直に存在する前記垂直チャンネルと前記の垂直チャンネル上のフローティングゲート構造の垂直部分に、注入される事を提供するもの。

【請求項23】前記の垂直チャンネルの角度が水平面から計って30から150度の間である請求項22の電気的にプログラマブルなメモリーの方法

【請求項24】前記の垂直チャンネルがフィールドエヘクトデバイス製造の初期の段階でエッチングによって形成される；その深さが20から100nmである請求項23の電気的にプログラマブルなメモリーの方法

【請求項25】前記の垂直チャンネルがフィールドエヘクトデバイス製造の初期の段階でエッチングによって形

成され、その深さが20から300nmである請求項2・3の電氣的にプログラマブルなメモリーの方法

【請求項26】前記の垂直チャンネル形成後に同じマスクを使って垂直チャンネル段差を設定する；リン、ヒ素、アンチモンから成るグループからのイオンを注入に
10 使って垂直チャンネル段差領域にセルフアラインしたチャンネル／Nドレインを形成する請求項25の電氣的にプログラマブルなメモリーの方法

【請求項27】前記のチャンネル上にトンネルシリコンオキサイドを形成してその上に前記のフローティングゲートになる前記の第1のポリシリコンレヤーをパターニ
10 ングをして、前記の垂直チャンネル段差上にフローティングゲートを形成する請求項26の方法

【請求項28】請求項27の方法に於いてスタックゲートメモリーセルが形成される方法

【請求項29】請求項27の方法に於いてスプリットゲートメモリーセルが形成される方法

【請求項30】前記のフローティングゲートになる前記の第1ポリシリコンレヤーと、その上にデポジットされ
20 たダイエレクトリックレヤーと、その上に前記のコントロールゲート用の第2ポリシリコンレヤーをパターニングする事により形成される請求項26の方法

【請求項31】チャンネルからフローティングゲートへの
30 エレクトロン注入の効率を良くする電氣的なプログラマブルメモリーデバイスを形成する方法で次の特徴を持つもの：分離された表面領域を持つ半導体基板を提供する；ソースとドレイン領域間に少なくとも1つの分離領域がある；前記のソースとドレインの間に望む深さに前記の基板をエッチングすることにより、少なくとも1つの前記の分離領域内に垂直段差が形成される；垂直段差にイオン注入してN領域が形成されが、そのN領域は前記のソースとドレイン領域のいずれかに隣接している；前記ノードレインはセルフアラインでステップの端につくられ、Nドレインはソースよりも低い位置にある；前記のソースとドレイン領域の一部と前記のチャンネル上にフローティングゲートを持ち、そのコンダクター（フローティングゲートポリ）レヤーと前記のチャンネル間にダイエレクトリックレヤーからなる；そして前記のフローティングゲート下の前記のチャンネルは水平と垂直の両部分を持つ

【請求項32】請求項31の方法においてコントロールゲートは前記のフローティングゲート上のコンポジット（合成）ダイエレクトリックレヤーの上に形成され；ポリシリコン層を形成し前記のポリシリコン層をパターニ
30 ングすることにより前記のコントロールゲートを設定する

【請求項33】請求項31の電氣的にプログラマブルなメモリーデバイスの製造法において、前記の水平部分と垂直部分が水平チャンネルと垂直チャンネルであり、前記の垂直チャンネルは前記のドレイン領域に隣接してお

り、前記の水平チャンネルは前記のソース領域に隣接しており、そのデバイスの動作中に水平チャンネル内で加速したエレクトロンをモーメンタム方向に、垂直チャンネルと前記の垂直チャンネル上のフローティングゲートの垂直部に、直進して注入する、

【請求項34】前記の垂直チャンネルの深さが20-300nmの間である事の特徴とする請求項31の電氣的にプログラマブルなメモリー方法

【請求項35】前記の垂直チャンネルの角度が水平面から計って30-150度の間である事の特徴とする請求項31の電氣的にプログラマブルなメモリー方法

【請求項36】前記の垂直チャンネル形成後同じマスクを使って垂直チャンネルの段差を設定する（デファインする）請求項31の電氣的にプログラマブルなメモリー方法

【請求項37】前記の垂直チャンネル上に前記のフローティングゲートを形成する請求項31の方法で、前記のチャンネル上に前記のダイエレクトリック層であるトンネルシリコンオキサイドを形成し、その上に前記のコンダクティブ層である第1ポリシリコン層を形成し、それをフローティングゲートにパターニングすること

【請求項38】請求項31に於いてスタックゲートメモリーセルを形成する方法

【請求項39】請求項31に於いてドレインが段差底にあるスプリットゲートメモリーセルを形成する方法

【請求項40】チャンネルからフローティングゲートへのエレクトロン注入をより効率的にする電氣的にプログラマブルなメモリーデバイスの形成方法で次の特徴を持つもの：半導体基板の表面に分離領域をもつ；少なくとも1つの前記の領域にワードラインゲート構造を形成する；ワードラインゲート構造に隣接してソース領域を形成する；前記のワードラインゲート構造に隣接してNドレイン領域を形成するが前記のソース領域からスペースを空けて置かれている；前記の1つの分離領域に垂直段差をもち、前記のNドレイン領域を前記のソースとドレインの間に基板に望む深さにエッチする事によりその垂直段差は形成される；前記のNドレイン領域内で、より低い位置にあるドレイン領域を高濃度にイオン注入して形成する；ワードラインに隣接して前記のソースコンタクトを形成し；前記のチャンネルと一部の前記のソースとドレイン領域上にフローティングゲート構造を形成し、その構造はダイエレクトリック層とその上のコンダクター層からなり；そして前記のフローティングゲート下の前記のチャンネルは水平と垂直部分を両方持っている。

【請求項41】チャンネルからフローティングゲートへのより効率的なエレクトロン注入の出来る電氣的プログラマブルメモリーデバイスの形成方法で次の特徴を持つもの：半導体基板表面に分離領域を提供する；前記の分離領域内に、ソースとドレイン領域間にチャンネル領域

がはさまれている；前記のソースとドレインドレイン領域が前記の分離領域の表面より低い位置に存在する；前記の分離領域内に前記のソースとドレインドレイン領域をもち、前記のソースとドレインの間に300nm以上の深さに前記の基板内へとエッチングする事によりトレンチドレイン領域を形成、そのトレンチにより垂直段差を形成する；前記のドレイン領域に接する垂直段差のN-領域をイオン注入で形成する；前記のソースとドレイン領域の部分と前記のチャンネル上にフローティングゲート構造を形成し、その構造はダイエレクトリックレヤーとその上のコンダクターレヤーを含む；前記のダイエレクトリックレヤーは前記の段差上と前記のトレンチ上に形成され、そのダイエレクトリックレヤー上に前記のコンダクターレヤーのポリシリコンがあり、それは前記のトレンチ内外の前記のダイエレクトリックレヤー上にデポジットされた；前記のポリシリコンレヤーは、前記のフローティングゲート構造を完成させる為に前記のトレンチに内にある前記のレヤーのその部分のみ残して平坦化される；そして前記のフローティングゲートの下にある前記のチャンネルは水平と垂直の両部分を持っている。

【請求項42】前記の垂直チャンネルが水平面から計って30-150度の間である事の特徴とする請求項41の電氣的にプログラマブルなメモリー方法

【請求項43】前記の垂直チャンネルが100-300nmの間の深さにエッチングされる事によって形成される請求項41の電氣的にプログラマブルなメモリー方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】 不揮発性半導体記憶装置係わり、エレクトロンの注入効率を改善、低電圧化、書き込み時間の短縮、不揮発性のランダムアクセスメモリー動作を図るデバイス構造とその製造法。

【0002】

【従来技術の説明】ホットエレクトロンのゲート絶縁膜を通り抜けゲートへのエミッションのメカニズムは、A. フィリップ (A. Phillips et al. 1975 IEDM Technical Digest, P. 39) で確認されている。以後その現象はタクニン (T. Ning et al. Applied Physics 1997 Vol 48, P. 286) 等多くの科学者によって詳しく調べられている。ホットエレクトロンエミッションの確認前は電氣的プログラマブルメモリー (EPROM) はチャンネルホットエレクトロンEPROMに大変良く似たメモリー構造を使っていた。しかしそれはフロマン、ベンチカウスキーによる (Froman-Bentchowsky: P-channel 1971 ISSCC P. 80' a Fully decoded 2048 bit Electrically Programmable MOS-

ROM") と "FAMOS-a New Semiconductor Change Storage Device", (Solid State Electronics, 1974, vol 17, P. 517) に示されるように高電界なだれメカニズム (アバランチ ブレークダウン メカニズム) を使ってメモリーセルをプログラムしたが、シリコンゲート上でのホットエレクトロンエミッション機構の発見直後に、この注入機構がn-MOSFET EPROMセルのプログラミングにJ. バーンズ (J. Barnes et al. 1976 IEDM P. 177, "Operation and Characterization of N-channel EPROM cell") とP. サルスベリー (P. Salsbury 1977 ISSCC P. 186, "High Performance MOS EPROM using a stuck-gate cell") によって使われた。J. バーンズは2つの基本的なタイプのダブルポリシリコンCHEEPROMトランジスターを示した。図1Aのスタックゲートトランジスター100aと図1Bのスプリットゲートトランジスター100bである。両方共N+ソースジャンクション104、N+ドレインジャンクション106、P-基板101、チャンネルゲート絶縁膜120、フローティングゲート (浮遊ゲート) 140、ポリオキシド130、そしてコントロールゲート145を持っている。

【0003】トランジスター100bはスプリットチャンネルを持ち、それは電導性がフローティングゲート140によってコントロールされる部分110とそれにつながった電導性がコントロールゲート145によってコントロールされる部分118とで成り立っている。図1Bでの900はパッシベーション層である。トランジスター100aと100bのどちらのタイプもプログラミングはシリコン表面に近く、且つドレインジャンクションの近くでホットエレクトロンの注入がおこなわれる。

【0004】フローティングゲートへのホットエレクトロンエミッションを正しく予想する数値モデルはケミン・フー (Cheming Hu, IEDM 1979, P. 223 " Lucky-Electron Model of Channel Hot Electron Emission") によって確立された。図2は、一般的なダブルポリシリコンスタックゲートEPROMトランジスター200の断面図であり、ラッキーモデルを説明するのに使われたものである。トランジスターはNMOSTランジスターでソース204、ドレイン206、基板201、フローティングゲート240、コントロールゲート245がある。電圧Vcgがコントロールゲート245にかかる場合キャパシティブカプリング (容量結合) により $C_{cg}-fg / (C_{cg}-fg + C_{fg}-si)$ のキャパシタンス比 (=カプリングレシオ (結

合率)) に応じてフローティングゲートの電圧が増加する。ここで C_{cg-fg} はコントロールゲート-フローティングゲート間のキャパシタンス (容量) であり、 C_{fg-si} はフローティングゲートとチャンネル、ソース/ドレインのキャパシタンスである。一旦フローティングゲート電圧がしきい電圧を越えると電子はソースからドレインに流れ始める。シリコン表面から 10 nm 以内の表面に近いチャンネル中の電子はドレイン・ソース間のポテンシャルにより水平方向に加速する。電子は水平方向の電界からエネルギーとモーメントを得てドレイン端 206 付近で最高エネルギーに達する。ほんの一部の電子はトンネル絶縁膜 (220) のバリアの高さより高いエネルギーを得る。電子のエネルギーが絶縁膜のバリアの高さを越える時、電子のモーメントがエネルギーのロス無く音響フォノンの散乱により上方向に変わりフローティングゲートに向かって行くと電子が絶縁膜 220 の中に注入されて、フローティングゲートポリシリコン 240 に到達する可能性が生ずる。チャンネルからポリシリコンへの注入の可能性は、 $1E-6$ から $1E-9$ の間のレベルのものである事が観察されている。フローティングゲートへのチャンネルホット電子エミッションは、どんなにチャンネル長やジャンクションの深さが小さくても、もし $V_d - V_s$ が 2.5 V 以下なら、ほとんど無い事がこのモデルで提案されている。

【0005】

【従来技術の問題点】チャンネル電子のフローティングゲートへの注入率は、小さ過ぎて色々な面で問題を生じる。EPROM と EEPROM メモリー動作に対するチャンネルホット電子注入の問題点は：

【0006】電子がフォノン散乱により上方向に方向転換している可能性は、ホット電子はほとんどがドレイン電圧加速によって作らなければならない為、2.5 V - 3 V と云う論理上の必要量よりドレイン電圧をずっと高くしなければならない事 (たとえば 5 V 以上)。

【0007】コントロール電圧が高くなければならない事 (カップリングレシオの 0.6 ~ 0.5 に対し 9 - 10 V)。それは注入された電子がフローティングゲートポリシリコンに達する為には (フローティングゲート電圧はドレイン電圧を越える必要がある) 電界の助けが要るからである。フローティングゲート電圧がドレイン電圧より低い時絶縁膜に注入された電子は、チャンネルに押し戻される。

【0008】電子をフローティングゲートに貯めるプログラム時間が長い。読み出し時間がナノ秒単位であるのに比べ、電子の注入効率が $1E-6$ 以下である為普通マイクロ秒の単位である。

【0009】注入電流が小さ過ぎる為、注入電流コントロールを、ドレイン電圧とコントロールゲート電圧の両方に頼る為に電子の蓄積レベルを 1 度のプログラムサイクルでコントロールするのは難しい。

【0010】メモリアレイでコントロールゲートをデコードする高電圧デバイスが必要な事。コントロールゲートの電圧が高ければ高い程厚いゲート絶縁膜と長いチャンネル長が必要である。これが集積度にペナルティとなりスケール技術に障壁となる。

【0011】高いドレイン電圧のため、必要以上の高エネルギーのホット電子が使われオキサイドクリスタラチスをダメージし、トラップを造るので絶縁膜が早く疲弊し耐性が悪くなる。

【0012】低い注入効率のためドレインとコントロールゲートに於いて高電圧が必要な為消費電力とドレイン電流が高い。

【0013】電氣的消去可能なプログラマブルリードオンリーメモリー (EEPROM) に於いてはフローティングゲートに貯められた電子はトランジスタターミナルに適切な電圧を加える事により除かれる。EEPROM のフローティングゲートから電子を除去する消去の方法は 2 つある。1 つは、ダブルポリシリコン EEPROM セルを使って電子をフローティングゲートから下方のシリコンに (つまりソース、ドレイン拡散または基板) 除去する方法である。もう 1 つは、トリプルポリシリコン EEPROM セルを使って電子をフローティングゲートから別の第 3 のゲートへ除去する方法である。

【0014】ダブルポリシリコンセルの方法は、サマチュサ (G. Samechusa et al. 1987 IEEE Journal of Solid Circuits, Vol. SC-22, No. 5, P. 676, "0/2 Flash EEPROM using double polysilicon technology") によって述べられている。このダブルポリシリコンセルの変形はクメ (H. Kume et al. "Flash-Erase EEPROM cell with an Asymmetric Source and Drain Structure," Technical Digest of the IEEE International Electron Device Meeting, December 1987, P. 560) とキネット (V. N. Kyne et al. "An In-system Reprogrammable 256K CMOS Flash Memory", Digest of Technical papers, IEEE International Solid-State Circuits Conference, February 1988, P. 132) によって述べられている。

【0015】クメによる一般的なダブルポリシリコンスタックゲートEEPROMセルは、図3Aに示されるようにエレクトロンをフローティングゲートから下方のシリコンに除く。ダブルポリシリコンEEPROMトランジスター300aに於ける消去は、フローティングゲート340とソース拡散ジャンクション304の間でトンネルオキサイドの電界がF-Nトンネリングのクリティカル電界 $\sim 10\text{MV/cm}$ を越えるとトンネルオキサイド320を通して達成される。普通の消去の電圧であるとトンネルオキサイドが 10nm 、拡散ジャンクションが 12V 、コントロールゲートが ϕV でドレイン電圧はフロートしている。この方法は、ソースジャンクションに高電圧が必要なので、ジャンクションはアバランチブレイクダウンになり易い。このブレイクダウンから守る為にソースジャンクションは、ドレインジャンクションより深くしてある。(ドレインジャンクションは浅くしておかなければならない。ホットチャンネルエレクトロンの為にドレイン端の高電界を作る為である。)このスタックゲートセルは、図1AのEEPROMセル100aのバリエーションであるが、非対称の深いソースジャンクションを持っている。

【0016】ダブルポリスプリットゲートトランジスター100bは、ジャンクションが片方だけしか無いので、非対称の拡散の書き換え回数の多いアプリケーションには使えない事が記録されている。

【0017】トリプルポリシリコントランジスターはこの問題を解決する。エレクトロンがジャンクションではなく第3のポリシリコンを通過して除かれるからである。又トリプルポリシリコンEEPROMセルはスケールダウンメモリー技術用の深いジャンクションの問題を解決する。トリプルポリシリコンデバイスは、キューベック(J. Kupec et al. 1980 IEDM Technical Digest, P. 602 "Triple Level Polysilicon EEPROM with Single Transistor per Bit")によって説明されている。このキューベックデバイスの改良がマスオカ(F. Masuoka, H. Iizuka US Pat No. 4, 531, 203 Issued July 23, 1985)によって提案されている。同じセルのバリエーションがクオ(C. K. Kuo and S. C. Tsai US Pat. No. 4, 561, 004 issued Dec 24, 1985)とウー(A. T. Wu et al. 1986 IEDM Technical Digest, P. 584 "Q Novel High-speed, 5-V Programming EEPROM structure with source-side injection")とハリリ(E. Harari US Pat. No. 5, 198, 380 issued Mar 30, 1993)によって述べられて

いる。

【0018】これら全てのトリプルポリシリコンメモリーセルは、ポリシリコンレベルの1つを消去ゲートとして使っている。消去ゲートは、フローティングゲートの近くにあり、薄いトンネルダイエレクトリックによって絶縁されている。トランジスターの全てのエレメントに適切な電圧がかかると、フローティングゲートから消去ゲートに電荷が除去される。色々なトリプルポリシリコンEEPROMセルの中のキューベックによる第3ポリシリコンを消去用に使ったEEPROMトランジスター300bを図3Bに示す。

【0019】トランジスター300bでは、フローティングゲート340に貯められたエレクトロンはフローティングゲート側壁から第3ポリシリコン350へと除去される。消去中に各々のノードにかかる電圧の一般的な例としては、 20nm ONO325の為のトリプル消去ポリシリコン上に $12-15\text{V}$ が、コントロールゲートの第2ポリシリコン345上と拡散ジャンクション304と306にOVがかけられる。プログラム中のドレイン上の電圧は約 5V と低いので、トリプルポリシリコンEEPROMトランジスターでは、ジャンクションでのアバランチブレイクダウンやジャンクションリークの問題が存在しない。しかし、トリプルポリシリコントランジスターにも問題はある。問題は次の通りである：

【0020】余分な消去用のポリシリコンのデポジションが要する事と、トンネル消去用にダイエレクトリックレイヤー(絶縁層)が要する為余分な工程がトリプルポリシリコン形成に必要な事である。これは、工程を複雑にするのみではなくメモリーセルの集積度にも影響する。

【0021】消去用の高電圧をつくる為の余分なサーキットが必要である。余分なサーキットが集積度に悪影響を与えるのを極力押さえる為に、消去のブロックサイズを比較的大きなものしなければならない。大きなブロックサイズの消去は、不必要なプログラムと消去サイクルを増やす為メモリーアレイの全体的な寿命を縮める。

【0022】

【発明が解決しようとする課題】本発明は電氣的プログラマブルリードオンリーメモリー(EPROM)と電氣的消去可能なプログラマブルリードオンリーメモリー(EEPROM)において、特にデバイス構造を改良、動作技術を効率的にすることにより不揮発性メモリーの応用を広くするものである。

【0023】電氣的にプログラマブルリードオンリーメモリー(EEPROM)はフローティングゲートコンダクティブ(導電的)ゲート(コネクティングしていない)をフィールドイフェクト(電界効果)トランジスター構造に使用し、それをソースとドレイン領域間の半導体基板上のチャンネルの上に絶縁して配置する。コントロールゲートはフローティングゲート上にやはり絶縁して提供される。メモリーの状態はフローティングゲート上に保た

れる電荷の量によって決まり、それがトランジスタのしきい値をコントロールする。チャンネルホットエレクトロン (CHE) に於ける電荷の蓄積のメカニズムを次に説明する。

【0024】フローティングゲート上にあるコントロールゲートに電圧がかけられた時、コントロールゲートからのフローティングゲートへキャパシティブカプリングによりフローティングゲートのポテンシャルが増加する。一旦フローティングゲート電圧がしきい電圧を越えると、エレクトロンはソースからドレインへ流れ始める。水平の電界が、ドレイン-ソース間のポテンシャルの差によりチャンネル中のエレクトロンの水平な動きを加速する。エレクトロンはフィールドからエネルギーとモーメンタムを得てドレイン端で最高エネルギーに達する。エレクトロンのエネルギーが絶縁バリアの高さを超える時、エレクトロンが絶縁膜に注入され、もしエレクトロンのモーメンタム (モーション) がフローティングゲートの方向ならばフローティングゲートポリシリコンに到達する可能性がある。しかし、この可能性は大変小さい為、低効率で長いプログラム時間が必要になる。一旦エレクトロンが注入されフローティングゲートに蓄積されると、メモリーのしきい値電圧が増加する。

【0025】メモリートランジスタの状態は、ソースとドレインとコントロールゲート上に電圧をかける事により読み取りがなされ、これは普通の MOSFET トランジスタの動作と同じである。ソースとドレイン間の電流の流れる量は、しきい電圧によって影響される。つまり蓄積されたエレクトロンの量によってきまる。フローティングゲートに蓄積されたエレクトロンが多ければ多い程、しきい電圧が高くなり電流が低くなる。メモリー状態は電流レベルによって決まる。一般的に何百万分の一と云うチャンネルエレクトロンの小さな量がフローティングゲートに注入される為フローティングゲートにエレクトロンを注入するプログラミング時間は、同じメモリートランジスタの読み取り時間に比較すると大変遅いものである。それゆえプログラム時間を少しでも改良する為に高いドレインとコントロールゲート電圧が、EPROM とフラッシュ EEPROM で使われる。この高電圧の必要性がメモリアレイのスケールダウンにとって、大きな障害となっている。

【0026】本発明の主目的は、新しいメモリーセルのデザインと構造を提供しエレクトロン注入効率を著しく改良する事である。

【0027】本発明の他の目的は、新しいメモリーセルのデザインと構造を提供し、信頼性のあるプログラミングと消去を同一のドレインジャンクションから行う事を可能にする事である。

【0028】本発明の他の目的は、エレクトロン注入に必要なドレインとコントロールゲートの電圧を減らし、将来のメモリーセルのスケールアップと高集積を可能にす

ると共に、メモリーセルの信頼性を上げ耐性 (書き込み、消去回数) を良くする事である。

【0029】本発明の他の目的は、ターゲットレベルのエレクトロン蓄積を早いプログラミング時間で可能にして、それによってエレクトロン注入のコントロールビリティと組み合わせシングルメモリートランジスタのマルチレベル/マルチビットのアプリケーションをもっと効果的に得る事である。

【0030】本発明の他の目的は、シングルポリシリコンセル内の EPROM 機能にプログラム読み出しの新しい構造と動作技術を提供する事を特徴とする。

【0031】本発明の他の目的は、フローティングゲートからコントロールゲートへのトンネリング消去の為に動作技術を従来技術によるトリプル (3重) ポリシリコン EEPROM の代わりに、ダブル (2重) ポリシリコン EEPROM セルで可能とする新しい構造を提供する。

【0032】本発明の他の目的は、新しい構造を持ったスプリットゲートセルの不揮発性 RAM の機能の特徴を提供し、ワードライン (コントロールゲート) が選択されたとき、'φ' (プログラム) が 1、(消去) を書く動作技術を提供する事である。

【0033】本発明の他の目的は、EPROM やフラッシュ EEPROM や不揮発性メモリアプリケーション用のもっと簡単にコントロール性のある製造工程を提供する事である。

【0034】

【発明のまとめ】そして、これらの本発明によって達成される色々な特徴は単一で使われても、組み合わせても良い。主な特徴を以下に簡単にまとめる：

【0035】従来技術によるチャンネルホットエレクトロン注入タイプの EPROM と EEPROM の問題はこれ迄、水平だったチャンネル構造にフローティングゲートの下に垂直なチャンネル/ドレイン部を加えた段差チャンネル/ドレイン構造を提供する事により解決出来る。これにより、チャンネルからフローティングゲートへのエレクトロン注入の効率性は著しく向上する。水平チャンネルで加速されたエレクトロンが直接進行方向のフローティングゲートの垂直部分に突入するからである。これと反対に、従来の技術はフォトンによるエレクトロンの散乱とフローティングゲートへの 90 度の上方向への方向転換と云う非直接的方法に頼っていた。段差による垂直注入の特徴は高注入効率、プログラミング時間を短縮しマルチレベルのストレージを容易にし、コントロール性を向上し動作を低電圧で動作する事を可能にし信頼性と全工程の簡易化を達成する。

【0036】ドレインオーバーラップ領域を水平チャンネルの長さより少し長めに調整するだけで段差チャンネル/ドレイン構造の本発明の第 1 の特徴を使って、従来技術のダブルポリシリコンの代わりに 5 V の低電圧プロ

グラム可能なシングルポリシリコンEPROMセルが達成される。その構造と生産工程の簡素さと低電圧動作のためロジック或いはDRAMのプロセスを使いそのチップ上にEPROMをインテグレーションすると云ったアプリケーションに使われる。又DRAMチップ上の冗長パーソナライゼーション用のアルミ線、ポリシリコンフューズを置き換えることが出来る。

【0037】段差チャンネル／ドレインのあるダブルポリシリコンEEPROMトランジスターに於いて消去とプログラム動作が同一のジャンクションを使い信頼性を持つて行えると云う新しい特徴を達成出来る。注入効率に大きな悪影響を与えずにフローティングゲートから拡散へとF-Nトンネリングを起こすのに必要な高電圧に耐えるように、N-ドレインの長さをより長くし、ジャンクションの深さをより深くし、量(ドーソ)を軽くしたり調整する。従来技術のEEPROMはトンネリングから拡散への信頼性の高い消去動作は、深いソース側のジャンクションでのみ行う事が出来たが、プログラミングに使われる浅いドレインジャンクションでは出来なかった。従来型のスプリットゲートセルでは、フローティングゲートは一方にジャンクションがあるだけでないので、同じサイドでの消去とプログラムはできない。しかし、スプリットゲート構造もスタックゲート構造でもこの新しい特徴を使うことにより同一のジャンクションを使いEEPROMトランジスター可能にする。段差チャンネル／ドレインのあるダブルポリシリコンEEPROMトランジスターに於けるフローティングゲートからコントロールゲートへのトンネリングによる消去動作の他の新しい特徴も、N-ドレイン拡散上のオーバーラップ(重複)したフローティングゲートの長さを調整する事によって可能になる。

【0038】従来技術では、フローティングゲートから他のポリシリコンへのトンネリングによるエレクトロンの除去は、EEPROMトランジスターではトリプルポリシリコン構造が必要だった。この新しいダブルポリシリコンEEPROMトランジスターの特徴は、浅いドレインジャンクション(フローティングゲートから拡散への)、工程の複雑さをシンプルにし(ダブルポリシリコン対トリプルポリシリコン)、ワードライン(コントロールライン)レベルのような小さなブロックサイズの消去を可能にし、不必要なプログラム／消去サイクルが減らされる事による長寿命性等を提供する事である。従来技術のEEPROMでは出来なかったことであるが、段差チャンネル／ドレイン構造のあるスプリットゲートダブルポリシリコントランジスターを使った不揮発性RAM動作は、低電圧プログラミングとポリからポリへのトンネル消去の動作特徴を組み合わせる事で可能にされる。ランダムアクセスメモリの定義は選択されたコントロールゲートに対して同時に違った場所にある(異なるビット)トランジスターに"0"(プログラム)と"1"

(消去)書き込める事である。最適化されたデザインとドレインとソース上の電圧の課し方で、段差チャンネル／ドレイン構造のあるスプリットゲートダブルポリシリコントランジスターはこのRAM機能を達成出来る。この注入段差チャンネルのあるダブルポリシリコンスプリットゲートトランジスターは、不揮発性である上しかもRAMのように動作するので、ずっと広いアプリケーションにつかえる。又、ビット毎のプログラムと消去が可能な為プログラム／消去時間を短くすると共にプログラム／消去への耐性が延びる。

【0039】水平チャンネルと垂直チャンネル(しかしN-ドレイン領域の無い)があるトリプルポリシリコンEEPROMトランジスターを提供する。これは段差チャンネル／ドレインのあるダブルポリシリコンEEPROMトランジスターのバリエーションであり、エレクトロンの直進走方向がフローティングゲートに垂直である為高注入効率があると云う同じ概念を使っている。

【0040】本発明の主目的は、段差チャンネルデバイス構造が生産可能な事をデモンストレートする事である。まず、段差にセルフアラインしたN-ドレインを持つ段差チャンネルを形成する簡単な方法を示す。その中でフローティングポリシリコンゲートは段差チャンネルをセルフアラインでない工程でおおう。段差を作るこの簡単な方法を使いEEPROM／EEPROMに於けるスタックとスプリットゲートトランジスターを形成する基本的な工程が示されている。

【0041】スプリットゲートトランジスターの別の形成方法も提供されている。その中でフローティングゲート下のチャンネルと段差の長さは正確に形成出来、スペーサー技術をフルに使う事で誤差はほとんど無視できる。

【発明動作の説明】

【0042】ドレイン端に段差注入チャンネルのあるEEPROMNチャンネルトランジスター図4Aと図4Bは本発明の第1請求項の段差注入チャンネルトランジスターの断面図である。図4Aのトランジスター400aはPタイプのシリコン基板401(P+を添加した半導体基板上のpタイプのエピタキシャル層でも良い)、N+ソース拡散404、410の水平チャンネル部、ドレイン拡散406、水平チャンネルと段差チャンネルの両方を均一におおうフローティングゲート440、コントロールゲート445を持っている。フローティングゲートは半導体基板表面より熱生成されたダイオキサイドである誘電層420により誘電的に分離されている。コントロールゲート445はフローティングゲート440に誘電膜430を通じキャパシティブリーにカップル(容量結合)されており、その誘電膜は熱生成のシリコンダイオキサイドかシリコンダイオキサイドとシリコンナイトライドのコンビネーション層のどちらでも良い。pタイプ401は一般的に約 $1 \times 10^{16} \text{ cm}^{-3}$ から $5 \times 10^{17} \text{ cm}^{-3}$ の間で添加される。ダイエレクトリック膜

420は一般に5から10ナノメートルの厚さで、フローティングゲート440は、普通ポリシリコンの厚いN+添加膜で厚さは100nmでも300nmでも良い。コントロールゲート445は厚いN+添加膜の付いたポリシリコンシリサイドの様な低抵抗の配線材料か他のリフラクトリー（不反応）材料又はメタルでも良い。バシベーションは層900で示され既知のシリコンオキサイド、シリコンナイトライド、シリコンオキシナイトライドかその組み合わせの様なもので作れる。N+ソース拡散404はヒ素、リン、アンチモン、イオン注入で作られる。段差形成前にボロンヘイロー（ポケット）を浅く注入してコーナ415の電界を増し注入効率を高め手も良いNチャンネルドレイン402は同じイオン不純物材料が使われるが、段差チャンネル端413に段差が形成された直後でオキサイドレイヤーの作られるまえにセルフアラインで注入される。

【0043】図4Cに示されるように半導体基板のオリジナル表面の水平面から計られた段差の角度はの際にそんなにクリティカルではなく垂直のふかさにして20nm以上のある限り高注入条件を満たす。この角度が小さ過ぎると段差チャンネル部の長さが長くなり過ぎ、集積度が悪くなる。其れ故段差角度が30度以上が良い。この段差413の深さは少なくとも20nmかそれ以上である。段差413の目的はフローティングゲート440にホットエレクトロンを効率的に注入する事である。

【0044】コントロールゲート445に適切な電圧を加えると容量結合（キャパシティブリーカップルド）によりフローティングゲートのポテンシャルは上がりエレクトロン層がチャンネル部410に形成される。そのエレクトロンは、その後MOSFETトランジスターで見られるようにドレイン拡散406が正電圧をかけられたとき、その水平ドレイン電界により加速される。エレクトロンはシリコン表面の水平チャンネル部410のインバージョンレイヤー内（普通10nm程度）を流れる。もしN-ドレインがチャンネル415の角（かど）を適度の添加濃度で（普通 cm^{-2} に付 $1\text{E}18$ 以下であるが）であると、最高の電界がサイドチャンネル413にそって角415近辺に作られる事が出来エレクトロンがそこで最高スピードに達し、エレクトロンの進行がまだ水平に近いのでこれが注入点になる。従来のCHE

EPROMではチャンネルで加速されたエレクトロンはフォノン散乱後、フローティングゲート方向へ90度上方転換されたうちでもエネルギーが3eV以上のものがフローティングゲートへ注入されると云う非直接的な方法に頼っていた。フローティングゲートへのエレクトロンの注入の段差構造において、トランスポートで得られたエレクトロンのチャンネルエネルギーがバリアの高さ（シリコンダイオキサイドなら3eV）より高いものは全て、フローティングゲートポテンシャルが角415のポテンシャルより高いと、フローティングゲート

に真っ直ぐフォノン散乱の必要なく注入される。又コントロールゲートからの容量結合によるフローティングゲートポテンシャルは、トンネルオキサイドのバリアの高さをショットキー効果で下げる一方、水平方向の電界を増しチャンネルエレクトロンを加速する。このようにして、本発明の段差構造の構成はチャンネルからフローティングゲートへのエレクトロンの注入効率を著しく向上する。

【0045】フローティングゲート電圧がエレクトロン蓄積の為に下がり、しきい電圧より下がるとチャンネルエレクトロンは消え電流は流れない。読み取りモードの際パワーノイズによる電圧サージの為にフローティングゲートへエレクトロンの注入が起こるのを防ぐ為にドレインとソースを切り替えるのが好ましい；つまり段差側をソースにし、もう一方の端をドレインにする。

【0046】チャンネルホットエレクトロンプログラムで段差ドレイン/チャンネルEPROMトランジスターを使い低電圧で高い注入効率を得る為の条件を次にまとめる：

構造条件：

（1）段差の深さは20nm以上で水平チャンネル面からの角度は30度以上が好ましい。

（2）ドレインジャンクション端はチャンネルの角にとどくのが好ましいがpタイプ段差チャンネルでも高い注入効率を達成する。

【0047】選択随意条件：

（1）段差チャンネル角の注入点のポテンシャル（ソースジャンクションに比べ）は2.5～3.0V以上である。

（2）フローティングゲートのポテンシャルは注入点角のポテンシャルより少なくとも大きい事。

【0048】従来のEPROMに比べ本発明のEPROM構造は従来のEPROMセルの低注入効率で必要とされた5Vよりずっと低い3V程のドレイン電圧によって得られ、ホットエレクトロンのフローティングゲートへの注入効率が高い事を特徴とする。それで従来の発明によるEPROMセルに必要とされるコントロールゲート電圧も相対的に大幅に減らされ得る。低電圧での高注入は“従来技術の説明”のセクションで説明された多くの問題点を解決出来る。

【0049】本発明のドレイン電圧は、ホットエレクトロンエミッションが高い注入効率で既に達成される為、理論限界の2.5～3.0V程に下げる事が出来、従来発明によるEPROMに必要とされる電圧のほぼ半分に近いものである。

【0050】本発明のコントロール電圧もドレイン電圧の削減と相対的に減らすことが出来る。

【0051】本発明の高い注入効率の為にターゲットレベルの注入エレクトロンをフローティングゲートに貯めるプログラム時間が減る。ゲートに貯めるプログラム時

間が減る。

【0052】フローティングゲート上のマルチレベルストレージがコントロールゲート電圧によって決められたターゲットレベルを達成するプログラム時間が短い為に簡単になる。

【0053】従来発明のEEPROMセルに於けるホットエレクトロンを書き込む為の電界が高なくて済む為、本発明によるとメモリーセルの信頼性と耐性が良くなる。

【0054】コントロールゲート用の電圧の高さが低くなる為支援回路オキサイドの厚さとチャンネル長が大きく減らされる。

【0055】高注入効率と低電圧動作の為プログラミング中の電力消費が著しく減り、ポータブルオペレーションに大変魅力的である。

【0056】

【実施例】

【実施例：シングルポリシリコン段差チャンネル ドレインEPROMトランジスターとその動作】本発明の目的である段差注入チャンネル/ドレインを使い従来技術より低電圧プログラマビリティを達成したシングルポリシリコンn-チャンネルEPROMセルを可能にした。

【0057】5V以下の低電圧動作は高圧デバイス用の厚い絶縁膜とドレインエンジニアリングプロセスが必要ないので魅力的である。図5A、5Bと5Cは本発明による第2の特徴であるシングルポリシリコンのチャンネルEPROMトランジスターの断面図である。このトランジスターはトランジスター400aを改造したもので第2のポリシリコンが除かれドレインLn領域に重複するゲートのサイズが調整される。トランジスター500aはpタイプの基板501、N+ソース拡散504、水平チャンネル部510、段差513（ボロンヘイローを入れても良い）、Nドレイン拡散502、N+ドレイン506、（水平及び段差チャンネルを均一におおう）フローティングゲート540より成る。フローティングゲート540は半導体基板表面より熱生成によって作られた誘電的な絶縁膜520によって誘電的に分離されているものと同じである。良くなった（エンハンスされた）デバイスには普通pタイプ501が $1E16\text{ cm}^{-3}$ から $5E17\text{ cm}^{-3}$ の間で添加されている。誘電膜520は普通5-10nm厚でフローティングゲート540は普通ポリシリコンの厚いN+膜が添加され厚さは100nmから400nmの間である。N+ソース拡散504はヒ素、リン、アンチモンのイオン注入で作られる。Nチャンネルドレイン502は同じ注入材料で作られるがオキサイド層520生成前で段差作りの直後に段差チャンネル端513にセルフアラインさせる。フローティングゲート部の下502の濃度は $1E17\sim$

$5E19\text{ cm}^{-3}$ の間で $5E20\text{ cm}^{-3}$ 以上の拡散ジャンクション504と506の濃度より少し低めである。段差の角度は水平面から測って30度以上が好ましい。段差513の深さは30nm以上である。

【0058】段差513の目的は段差チャンネル515の角でフローティングゲート604により効率よくホットエレクトロンを注入する事である。

【0059】フローティングゲートへのエレクトロン注入の条件は、前記の第1の特徴のセクション"ドレイン端に段差チャンネルのあるEPROM N-チャンネルトランジスター"で説明したのと同じである：

(1) 注入点515のポテンシャルが2.5V~3.0Vより高い事。

(2) フローティングゲートポテンシャル2.5V~3.0Vが注入点の電圧より高い事。

【0060】第1の条件(1)は3V以上のドレイン電圧を加える事により簡単に達成出来る。第2の条件

(2)のフローティングゲートポテンシャルが2.5V~3.0V以上でなければならない事は2つの方法で得られる。

【0061】第1の方法はLn(502)の長さを水平チャンネル部の長さ(510)より少し長くする。それによりドレインからフローティングゲートへのカップリングキャパシタンスが増える。この場合5Vがドレイン506に加えられた時フローティングゲート電圧が2.5~3.0Vになる。注入点のポテンシャルが約3Vにとどまるようにジャンクション端502を注入点515から段差底の角へとオフセットする事も良い。第2の方法は図5Aで示されるようにフローティングゲート540と同じポリシリコンで電気的にお互いに接続したキャパシター541のゲートとEPROMトランジスターの外側のカップリングキャパシタンス500bを作る事である。カップリングキャパシタンスの部分は0.6aカップリングレシオを得る為にEPROMトランジスターゲート領域より少し大きくデザインされている。このように5Vがキャパシタージャンクション556の拡散に加えられた時にフローティングゲートポテンシャルはキャパシターを通して結合され約3Vになる。一旦条件(1)と(2)が満たすとチャンネルホットエレクトロンは効率よく直接に（フォノン散乱を必要とせずに）フローティングゲートに注入される。

【0062】第2の方法は外のキャパシターがダブルポリシリコンEEPROMメモリーセルのコントロールゲートと同じ機能をする。第1の方法ではトランジスターはストレージの役割を果たすが選択の機能がない。その為EEPROMメモリーセルとしてこのデバイスを使用する為には図5Aに示されているように従来のn-チャンネルFETデバイス500cがこのシングルEPROMトランジスター500aに直列に加えられる。この従来のFETトランジスター500cのゲートはストレー

ージトランジスター500aの情報をアクセスする為の選択機能(コントロールゲート)を提供する。この方法ではスローレジEPROMトランジスターは普通'オン'になっている。(5E16/cm³~5E17/cm³の間の濃度でヒ素カリンをチャンネル領域510に使ったデブリーションデバイス)注入した電子を貯めた後しきい電圧は増加され'オフ'の状態を得られる。

【0063】本発明の主目的の段差注入チャンネル/ドレインを使い、シングルポリシリコンn-チャンネルEPROMセルは、5V程度の低電圧プログラミングを提供する。このシングルポリEPROMから得られる利点は、(i)ダブルポリシリコンの必然性が除去される事

(ii)高電圧デバイスが要らない事(iii)工程簡易化によるダブルポリシリコンと高電圧デバイスの除去によりロジック或いはDRAMとEPROMコンパティビティが出来る事(iv)EPROMをロジックチップ上にインテグレーションする広域のアプリケーションが生まれること、DRAMチップのフューズを置き換えリダンダンシーパーソナライゼーションに使えることである。

【0064】【実施例：段差チャンネル ドレインのあるダブルポリシリコンEPROMに於けるフローティングゲートから拡散へのトンネリングによる電気消去】ダブルポリシリコンEPROMに於いては消去はフローティングゲートから拡散への電子トンネリングによりなされ、本発明の第3の特徴は同じ段差ドレイン-拡散での消去とプログラムが可能になることである。

【0065】図4Aのトランジスター400aは図3AのダブルポリシリコンEPROMトランジスター300aを改造したものであり、ドレインジャンクションが段差チャンネル/ドレインによって置き換えられ、ソースジャンクション404の深さが減っている。ソースジャンクションの深さが減らせるのは、消去がソース側でなく段差チャンネル/ドレインの側壁でなされるからである。この段差ジャンクションはすでに軽く添加されたn-ジャンクションを持っており、ブレークダウン迄10-12Vは耐えられるようにデザインされている。トランジスター400b(図4B)はEPROMのスプリットゲートのものであり、拡散へトンネル消去を行う。従来発明では出来なかったことである。従来発明では拡散へのトンネル消去は消去とプログラムが同じジャンクションでなされなければならない、それは相反する性格のものであったため不可能だった。二つともトランジスター400aと400bはP型半導体基板401、N+ソース拡散404、導電性がフローティングゲート440でコントロールされている水平な410のチャンネル領域、コントロールゲート445、段差413、N-ドレイン拡散404、N+ドレイン拡散、水平なチャ

ネルと段差チャンネルの両方を覆うフローティングゲート440、コントロールゲート445からなる。

【0066】スプリットゲート400bは余分なチャンネル領域418を持ちその伝導性はチャンネル410の一部と直列なゲート445によってコントロールされる。フローティングゲートは半導体基板表面から誘電膜420によって誘電的に分離されており、誘電膜420は熱処理で成長させたダイオキサイドである。コントロールゲート445は絶縁膜430を通じフローティングゲート440にキャパシティブにカップリングされており、その絶縁膜は熱成長させたシリコンダイオキサイドかシリコンダイオキサイドとシリコンナイトライドの組み合わせたものかのどちらでも良い。Pタイプ401は普通1E16cm⁻³から5E17cm⁻³の間で添加され、ダイエレクトリック膜420は普通5から10ナノメートル厚で、フローティングゲート440はN+添加されたポリシリコン膜でありその厚さは100nm~300nmの間が良い。コントロールゲート445は厚くN+添加したポリシリコン膜かシリサイドのような低抵抗の配線材料または、リフラクトリーメタル材料のいずれかである。N+拡散404と406はヒ素、リンかアンチモンのイオン注入で作られる。N-ドレイン402は段差形成の直後かオキサイド層420の形成前に段差チャンネル端413にセルフアラインで同じイオン注入で作られる。この時点でヘイローのp-タイプの添加して電界を高くして注入を高めることも良い。Nジャンクション402は10Vの消去到普通1E17から1E18cm⁻³の間の添加(ドーピング)がなされ、その深さは250から300nmを選び、ソースジャンクション150から200nmより少し深めである。

【0067】プログラミングの必要条件と説明はセクションI. a "段差チャンネルがドレイン端にあるEPROMn-チャンネルトランジスターと全く同一である。この段差の角度は水平面より計って一般的に30度以上である。

【0068】段差413の深さは最低30nmである。この段差413の目的はホット電子をもっと効率的に段差チャンネル415の角のフローティングゲート440に注入する事である。

【0069】消去動作は基本的にはトランジスター300aの説明と同一であり業界でもっとも一般的に使われているトランジスターと同じである。トンネルオキサイド410が9nm、ONO430が20nm、カップリングレシオが0.55と仮定すると約10Vがドレインジャンクションに加えられトランジスター400aか400bのどちらにおいてもコントロールゲートがφVにされると、オキサイド422の電界はF-Nトンネリングのクリティカル値(約10MV/cm)を越える。フローティングゲートに蓄られた電子は300aではFNトンネルによりソース側にのぞかれるが、こ

ではドレイン側に作られた段差チャンネル／ドレインでF-Nトンネリングによって除かれる。この方法ではドレインジャンクションに高圧が必要なので、ドレインジャンクションはアバランチブレイクダウンにかかり易い。消去中のブレイクダウンをなくすにはN-ジャンクション402はより軽くドーピングされ、ソースジャンクション404より深くなっている。このようにしてデザインを最適化することにより段差チャンネル／ドレインジャンクションを使ったプログラムと消去の動作の発明が達成出来る。スプリットゲート構造もスタックゲート構造と同様に本発明のダブルポリシリコンEEPROMトランジスターで作ることが出来る。

【0070】【実施例：段差チャンネルのあるダブルポリシリコンEEPROMに於けるフローティングゲートからコントロールゲートへのトンネリングによる電気消去】従来発明の説明に置いてはフローティングゲートから他のポリシリコンへのエレクトロンのトンネリング除去は三重ポリシリコン構造を必要とした。二層ポリシリコンのスタック、スプリットゲートトランジスターセルに於いて、コントロールゲートに電圧がかけられると、フローティングゲート上にコントロールゲート電圧の半分以上の電圧が誘導されるようにデザインされていた。その為トンネルオキシサイドの厚さは上部のポリ層間のダイエレクトリックNOより著しく薄い為、トンネルオキシサイドにかかる電界は上部にかかる電界より何倍も大きくなる。ということはトンネルがまず上方向にトンネルオキシサイドで始まり、消去でなくプログラミング（注入）が起こり、ポリ消去が出来なかつた。それで第3ポリシリコンを消去の為に加え、フローティングゲートと第3消去ゲートの間のトンネリングによって消去を行った。しかし、本発明の段差チャンネル／ドレイントランジスターでは、適当なNOの厚さとLGの長さを選ぶことによりフローティングゲートからコントロールゲートへのトンネル消去がダブルポリシリコンでも安全に達成できる。

【0071】段差チャンネル／ドレインのあるダブルポリシリコンEEPROMトランジスターに於けるフローティングゲートからコントロールゲートへの消去動作の他の新しい特徴は、本発明の第4の特徴である。ダブルポリシリコンEEPROMトランジスター600aと600bに於いて、電気消去とプログラムの必要条件は
(i) トンネルゲートオキシサイド620が5~10nmの間である事。
(ii) ONO或いはナイトライドオキシサイドのようなダイエレクトリック630はトンネルオキシサイドと同等か、より厚いものである事。普通8~15nmである。
(iii) チャンネル領域610の長さとオーバーラップ拡散（重複拡散）Ln602が大体同じか以上である事。

【0072】ポリシリコン上の熱酸化膜又はCVDでデポジットされたオキシサイド／ナイトライドを通してポリ

シリコンからポリシリコンへのトンネリングの一般的なクリティカル電界は約6~7MV/cmとされている。

（ハラリとマスオカ（E. Harari and F. Masuoka）によると熱処理された基板のオキシサイドの電界は10MV/cmとされ、これより低い。）それでダイエレクトリック630の電界はフローティングゲートからコントロールゲートへのトンネルを消去するには6MV/cmより高くなければならない。一方チャンネルホットエレクトロンで注入された電荷のディスタバンスを考慮に入れるとポリ層間の電界は3MV/cm以下に保たねければならない。トランジスター600aと600bに於けるダブルポリシリコンEEPROMのデザインと動作を簡単なモデルを使って図示する。図7Aにトランジスター600aと600bの簡略化したキャパシタンスモデルが示されている。キャパシターCcg-fgはコントロールゲート645とフローティングゲート640の間のキャパシタンスである。Cfg-Lnはフローティングゲート640とn-拡散領域602の間のキャパシタンスである。Cfg-chはフローティングゲート640とチャンネル領域610の間のキャパシタンスである。（もっと正確にはCfg-chのソースからフローティングゲートへのオーバーラップキャパシタンスも含まれるべきである。）ここで説明を簡単にするために3つのキャパシタンスが同じおおきさに仮定されるが、この選択は現実的な想定である。どのターミナルノードにでも電圧が加圧されるとその1/3の電圧がフローティングゲートノードにキャパシティブカブリングによりかかり、各電圧は加算される。（スーパーインボーズする。）

【0073】フローティングゲートへのエレクトロン注入のプログラム条件は上記の第1セクションで述べられたが（1）フローティングゲート電圧>3V（2）注入点ポテンシャルが>2.5~3.0Vである。全てのキャパシタンスが同じとする仮定に基づくと（フラットチャンネル長=Ln）コントロールゲートとドレインノードに5Vが荷電された時、フローティングゲート電圧はキャパシティブカブリングの為3.3Vになりプログラム条件を満たす。例えばトンネルゲートオキシサイド8nmとONO11nmを例に取るとONO11nmのポテンシャルは1.7V=5V-3.3Vであり、電界は1.55MV/cm(=1.7V/11nm)である。コントロールゲートが5Vであったとして、ソース／ドレインが接地されていてもフローティング電圧は1.7VでありONOの電界は3MV/cm(=3.3V/11nm)である。それでプログラミング中はONOの電界はデザインターゲットの3MV/cm以下に保たれている。消去動作ではコントロールゲート電圧はもっと増加される、一方ソースとドレインはφvに保たれる。コントロールゲート電圧が10Vに増圧されたときキャパシティブカブリングによりフローティングゲート電圧は

3. 3Vになり、ONOにかかる電位差は $6.7V = 10V - 3.3V$ となる。ONOの電界は $6MV/cm$ ($= 6.7V/11nm$) になりフローティングゲートポリシリコンからコントロールゲートポリシリコンへのエレクトロントネリングのターゲット条件を満たす。このようにしてポリからポリへのトネリング消去が10Vで及びチャンネルホットエレクトロン注入によるプログラミングが5Vで達成される。この消去電圧の条件は従来発明のトリプル（三層）ポリシリコンEEPROMセルに必要とされる電圧レベルとほとんど変わらない。

【0074】トランジスタ600c、600dと600eは図6Cに示されトランジスタ600cの段差チャンネルのあるダブルポリスプリットゲートトランジスタで600bを少し改造したものである。これらのトランジスタのバリエーションは全て前記のトランジスタ600bと同じエレクトロン注入メカニズムを使っている。トランジスタエレメントラベル番号は前記のトランジスタ600bの構造と機能の説明と一致するものを600c、600dと600eにも使用してい

る。

【0075】トランジスタ600cのフローティングゲートは図6Cに示されたようにスプリットゲートの側壁に形成されている。600cに於いては、カブリングキャパシタはスプリットゲートとフローティングゲート間の側壁を通して得られる。消去はその側壁を通してトネリングによりなされる。トランジスタ600dのフローティングゲートはシリコン基板に埋め込まれている。トランジスタ600eはトランジスタ600dの埋め込まれたフローティングゲートを持っているが、N+ドレイン606の機能はより高いシート抵抗のペナルティを持って602領域に連結されている。トランジスタ600eを並べて高集積のメモリアレイを作ることが出来る。

【0076】ポリ消去使用の段差チャンネル/ドレインのある電気消去可能なプログラマブル読み出し専用メモリートランジスタで得られる利点をまとめる：

1) 本発明段差チャンネル/ドレインを備えた付きダブルシリコンEEPROMセルはポリシリコンからポリシリコンへの消去を可能にする。プログラムコントロールゲートと消去ゲートが別々になる三層ポリシリコンEEPROMと異なり、同じコントロールゲートを使ってのCHEプログラミングと消去を可能にする。このスプリットゲートトランジスタはドレインとソースが低電圧で動作するためメモリーセルに浅いジャンクションを使う利点を達成できる。またポリシリコン層が3層から2層になった事により工程が簡単になる。

【0077】2) 各々のコントロールゲート（＝ワードライン）が消去動作とプログラミング動作に使える為三層ポリシリコンEEPROMにみられる大きなブロック

サイズ消去のかわりにワードラインレベルの小さな単位の消去が可能になる。その為不必要な大ブロックの消去のかわりに小単位のローカルメモリーデータの消去が出来るようになる。プログラム/消去サイクルを必要以上に使わなく済むのでEEPROMの寿命を長くする。

【0078】

【実施例：ダブルポリシリコンスプリットゲート構造に於ける不揮発性ランダムアクセスメモリー動作】従来発明によるフラッシュEEPROM動作ではプログラムと消去はシクエンシャルに（順番に）なされた。プログラムと消去動作条件がコンパチブルでなかったからである。プログラム動作はまず全メモリーチップ又はメモリーチップの一部分が消去されてその部分が再プログラムされた。選ばれたコントロールゲート（ワードライン）上で“φ”と“1”を任意に異なる（ビット）トランジスタに同時に書き込むことが出来なかった為である。その為EEPROMは順番に“φ”と“1”を書き込めたがRAMとは呼ばれずROMとよばれた。

【0079】段差チャンネル600bの二層ポリシリコンスプリットゲートトランジスタに於けるポリからポリへの消去機能と低電圧プログラミングを組み合わせるにより、電氣的に接続されたコントロールゲートを持つ限り任意のトランジスタロケーションにプログラムと消去が同時に出来るようになる。こうしてEEPROMに欠けていたランダムアクセスメモリーの特徴が段差チャンネルのあるスプリットゲートトランジスタを適切なデザインと動作を使うことにより達成できる。

【0080】第4の特徴であるスプリットゲートトランジスタ600bを使ってランダムアクセスメモリーの動作とデザインの概念が本発明の第5の特徴である。

【0081】プログラムと消去の動作の原則は前記と同じである。電気消去はフローティングゲートからコントロールゲートへのエレクトロンのトネリングによって達成でき、プログラミングは段差チャンネルへの進行方向の注入によって達成出来る。説明を確にする為に同じモデルとそのトランジスタの説明をくりかえす。二層ポリシリコンEEPROMトランジスタ600bでは不揮発性動作の条件は(i) トネルゲートオキサイド620の厚さが5から10nmの間であること。(i i) ONOやナイトライドオキサイドのような絶縁層630はトンネルオキサイドの厚さよりももうすこし厚いか同じで普通8から15nmの間である。(i i i) チャンネル領域610の長さとおオーバーラップ拡散Ln602は同じ長さまたはそれ以上である。

【0082】ポリシリコン上の熱酸化オキサイド又はCVDでデポジットされたオキサイド/ナイトライドを通してポリシリコンからポリシリコンへのトネリングの一般的なクリティカル電界は約 $6-7MV/cm$ とされている。(ハラリとマスオカ(E. Harari and F. Masuoka)によると熱処理された基板の

10

20

30

40

50

オキサイドの電界は $10\text{MV}/\text{cm}$ とされ、これより低い。)それでダイエレクトリック630の電界はフローティングゲートからコントロールゲートへのトンネル消去するには $6\text{MV}/\text{cm}$ より高くなければならない。一方チャンネルホットエレクトロンで注入された電荷のディスターバンスを考慮に入れるとポリ層間の電界は $3\text{MV}/\text{cm}$ 以下に保たれなければならない。トランジスター600bに於けるダブルポリシリコンEEPROMのデザインと動作を簡単なモデルを使って図示する。図7Aにトランジスター600bの簡略化したキャパシタンスモデルが示されている。キャパシターCcgfgはコントロールゲート645とフローティングゲート640の間のキャパシタンスである。Cfgleはフローティングゲート640とn-拡散領域602の間のキャパシタンスである。Cfglechはフローティングゲート640とチャンネル領域610の間のキャパシタンスである。この概念を使いもっと正確なモデルで適切な電圧とキャパシターのパラメーターを選択することにより、もっと細かくオプティマイズ出来るのであるが、ここで説明を簡単にするために3つのキャパシタンスが同じとおきさであると仮定する。(この選択は現実的な想定である。)どのターミナルのノードにでも電圧が加圧されるとその1/3の電圧がフローティングゲートノードにキャパシティブカプリングにより誘起され、各電圧は加算される。(スーパーインポーズする。)

フローティングゲートへのエレクトロン注入のプログラム条件は下記の通りで(i)フローティングゲート電圧 $>3\text{V}$ (ii)注入ポイントポテンシャルは615の注入ポイントで $>2.5\sim 3.0\text{V}$ である。チャンネル長とLnのサイズは下記のデザインリクワイアメントを満たすように調整される。

【0083】 トンネルゲートオキサイドが 8nm 、ONOが 11nm 、そして書込動作電圧条件が満たされたときの例を図7Bの表に、書き込み“φ”、“1”、そして“変化なし(非選択)”を満たすフローティングゲートポテンシャルとONOの電界を表した。ここで使われた最低電圧のゼロボルトをレファレンスとしてある。コントロールゲート電圧は 5V が選択されない時、 10V が選択された時である。ドレインとソース電圧は書き込み“φ”(エレクトロン注入により高いVtを得る)の時、 $V_s=5\text{V}$ と $V_d=10\text{V}$ 、そして書き込み“1”(ONOを通じてトンネル消去による低いVt)にたいし $V_s=\phi\text{V}$ と $V_d=\phi\text{V}$ 、そして“変化なし”の時 $V_s=5\text{V}$ で $V_d=5\text{V}$ である。 10V がコントロールゲートとドレインノードにかかるとフローティングゲート電圧はキャパシティブカプリングで 8.3V (その結果 $V_{ds}=3.3\text{V}$ 、 $V_{gs}=5\text{V}$)になり、プログラム条件を満たす。その時、 11nm のONOにかかるポテンシャルは $1.7\text{V}=10\text{V}-8.3\text{V}$ で、電界は $1.55\text{MV}/\text{cm}$ ($1.7\text{V}/11\text{nm}$)である。コ

ントロールゲートが 10V で、ソース/ドレインが 5V の場合にはフローティング電圧は(浮遊電圧) 6.7V でONOの電界は $3\text{MV}/\text{cm}$ ($=3.3\text{V}/11\text{nm}$)である。それでプログラミング中のONOの電界は $3\text{MV}/\text{cm}$ 以下に保たれターゲット条件を満たすことが出来る。

【0084】消去動作にはコントロール電圧は 10V に保たれるがソースとドレインは ϕV に減圧される。フローティングゲート電圧はキャパシティブカプリングで 3.3V になり、ONOの電圧は $6.7\text{V}=10\text{V}-3.3\text{V}$ になる。ONOの電界は $6\text{MV}/\text{cm}$ ($=6.7\text{V}/11\text{nm}$)になり、これはフローティングゲートポリシリコンからコントロールゲートポリシリコンへのエレクトロントネリングのターゲットを満たしフローティングゲート上に貯められたエレクトロンはコントロールゲートに除去される。ONOの電界はいつも $3\text{MV}/\text{cm}$ 以下に保たれている。コントロールゲートが選択されない $V_{fg}=5\text{V}$ 、 $V_d=10\text{V}$ 、 $V_s=5\text{V}$ の非選択時にフローティングゲートは 6.7V 即ち $V_{gs}=1.7\text{V}$ になりこれはドレインとソースがオンになる電圧に近い。この非選択時の誤動作はスプリットゲート620をフローティングゲートに直列に設置する事により防ぐことが出来る。

【0085】コントロールゲートをアクセスするにあたり“φ”か“1”を書き込む事はコントロールゲートが 10V に選ばれている時、ドレイン(ビット)とソースに適切な電圧を選ぶことによりいつでも出来る。選ばれたコントロールゲートに電気的に接続されているメモリーセルのうち、同時に任意のロケーションに“φ”と“1”を書き込む事は、ランダムアクセスメモリーの動作そのものである。こうして従来技術のEEPROMでは達成できなかったことが、本発明のスプリットゲートダブルポリシリコントランジスターによって不揮発性RAMも出来るようになる。

【0086】段差チャンネル/ドレインのあるダブルポリシリコンスプリットゲートトランジスターの動作で得られる利点をつぎに上げる。

1)ビット単位でプログラミングと消去が必要に応じて出来る。従来発明によるトリプルポリシリコンEEPROMに於いてデータ書き換えの際の不必要な消去サイクルが省かれる。ビット単位の書き込みが可能のためプログラム/消去サイクルへの耐性が向上する。

【0087】2)本発明の段差チャンネル/ドレインのあるダブルポリシリコンスプリットセルと適切な動作とデザインが不揮発性RAMを提供する。本発明は不揮発性でありながらRAMのように振るまう事を提供する為広い分野のアプリケーションに使われ得る。

【0088】

【実施例:垂直フローティングゲートチャンネルのあるトリプルポリシリコンEEPROM】本発明のもう一つ

の特徴は段差注入チャンネルのあるEPROMトランジスター800aと800bのバリエーションで第6の特徴に関連する。図8Aと8Bは任意の垂直のフローティングゲートチャンネルと水平チャンネルが直列に繋いだトリプルポリシリコンEPROMトランジスターの断面図である。トランジスター800aと800bはP型シリコン基板801、N+ソース拡散804；水平のチャンネル領域818（選択ワードゲートの第3のポリシリコンによって導性がコントロールされている）で出来ている。垂直チャンネル810はフローティングゲート840とコントロールゲート845によって制御される。

【0089】フローティングゲート840は垂直チャンネルと垂直トレンチの底のドレイン拡散806を覆っている。このフローティングゲートは熱成長させたシリコンダイオキサイド820により誘電的に分離されている。コントロールゲート845はフローティングゲート840に誘電膜830を通じて誘電結合（キャパシティブリーにカップルされている）されており誘電膜は熱成長させたシリコンダイオキサイドかシリコンダイオキサイドとシリコンナイトライドの薄膜のどちらでも良い。Pタイプ801は普通 $1E16\text{ cm}^{-3}$ から $5E17\text{ cm}^{-3}$ の間でドーピングされており水平のチャンネルゲートオキサイドは8から15nmの間で少し厚めで、フローティングゲート840は普通N+でドーピングされたポリシリコン膜であり厚さは100nmから300nmの間で良い。コントロールゲート845はN+でドーピングされたポリシリコン膜である。選択ゲート850はポリシリコンか低抵抗のシリサイド或いはリフラクトリ材料でも良い。N+ソース拡散804はヒ素、リン、アンチモニーのイオン注入によって形成する。N+ドレイン806は同じイオン注入材料で形成されるが垂直のチャンネル端810にセルフアライされており、これは段差形成直後、フローティングゲートポリシリコン840のデポジションの直前に行われる。N+ジャンクション806が消去に使われるときジャンクション806はジャンクションのブレイクダウンをより高くなるようジャンクションの深さを増すためにリンをドーピングする。フローティングゲート840と選択ゲート850の間でトンネリングにより消去がなされる時、ドレインジャンクションの深さは普通のヒ素でドーピングされたジャンクションで良い。ここでチャンネルエレクトロンがN+ジャンクション804から提供されるが、エレクトロンが選択ゲートチャンネルに提供されるならばN+ジャンクションのかわりにチャンネルエレクトロンの反転層（インバーテッドレイヤー）を使つても良い。

【0090】コントロールゲート845にある一定レベル以上の電圧がかかるとコントロールゲートからキャパシティブリーにカップルされたフローティングゲートのポテンシャルは垂直チャンネル領域810のしきい値

電圧より高くなる、もし選択ゲート850もしきい電圧より高くするとエレクトロンがソースジャンクション804からドレインジャンクション806に流れ始める。エレクトロンはMOSFETトランジスターで見られる様に水平の電界により加速される。

【0091】コントロールゲート845ポテンシャルが充分高く、フローティングゲートのポテンシャルがドレインとしきい電圧を加えた値より高くなると同時に、選択ゲート850がしきい電圧より少し高めで水平チャンネル抵抗が垂直チャンネル抵抗に比べて高くなっている限り、815に於けるチャンネルポテンシャルはドレイン806に加えられた電圧に近づいて行く。そうすると水平と垂直チャンネルの交差点815で最高の電界が作られ、エレクトロンが最高スピードになり、エレクトロンの動きはまだ水平なので815のコーナーが注入点になる。チャンネルで加速されたエレクトロンのエネルギーレベルがバリアの高さより高くなると、高エネルギーのエレクトロンはフローティングゲートにオキサイドを真っ直ぐに通し注入される。これと反対に、従来発明はエレクトロンのフォノン散乱により上方90度の方向転換いう非直接的プロセスによりフローティングゲートへ注入された。このようにして、垂直チャンネル構造を用いてチャンネルからフローティングゲートへのエレクトロン注入効率を何桁も向上する。

【0092】

【実施例：段差チャンネル ドレインのあるEEPROM NVRAMトランジスターの製造方法】本発明の主目的はEPROMデバイス構造の新しい構造を示すこと、新構造のEPROM、EEPROMとNVRAMトランジスターのデバイス動作を示すこと、もう一つその構造を作る方法を示すことである。段差チャンネルをドレイン端に作るには多くの方法があるが、その中からいくつかを選んで説明する。第1の方法は、チャンネル段差をフローティングゲートポリシリコンでおおうセルフアラインを使わない簡単な方法である。第2の方法は、第1のセルフアラインでない方法によるマスク工程中のミスアラインメントをミニマイズする方法である。

【0093】

【実施例：簡単な段差チャンネルドレイン形成方法】図9Aと9Bは、本発明の第7の特徴である段差チャンネル/ドレイン構造を第1の方法で作る方法を示す。LOCOSのデバイス分離がシャロートレンチ分離454の直後に、段差作りは図9Aに示された様に始まる。このデバイスの領域は、まだ薄いシリコンオキサイドとCVDデポジットしたナイトライドのダイエレクトリック（誘電膜）425で覆われている。図9Bのフォトレジスト462は、設定された段差領域定義するのに使われる。フォトレジスト層462をマスクとして使い、誘電層452がドライRIE又はKOHのようなウエットエッチでエッチされる。それから、シリコン基板が少なく

とも30nmの深さに注意深くエッチされる。段差の角度は水平のシリコンの表面より計って30度以上に保持されるべきであり、これは高注入効率を達成する為で、エレクトロンを水平方向にフローティングゲートへと注入する為である。この角度はR I Eにおけるエッチ条件を設定することでコントロール出来る。それからn-領域402は、チャンネルドレイン端415にヒ素、リンかアンチモンでセルフアラインメントによって注入される。n-領域の注入量は段差413上のチャンネルオキサイド厚さをコントロールし、良好のゲートオキサイドの質を保つ為に $5 \times 10^{19} \text{ cm}^{-2}$ より少ない。n-ジャンクションの構造は段差チャンネル/ドレイン領域にセルフアラインと云う簡単なプロセスで達成出来る。フォトレジスト462とダイレトリック層452を除去した後、トンネルオキサイド420を熱成長させる。この段差チャンネル/ドレイン形成後、普通のEEPROMの工程が続けられる。

【0094】

【実施例：簡単な段差形成法を用いたスタックゲートトランジスタの製造方法】図4Aに於けるトランジスター400aと図6Aのトランジスター600aの形成方法を次に提供する。この2つのトランジスタの違いは、単にN-ドレインジャンクションにある。フローティングゲートからN-ドレインへのトンネル消去の為の高電圧の為、トランジスター400aのN-ドレインジャンクションは600aのそれより深い。これはリンのような高拡散不純物の注入によって得られ、 $5 \times 10^{13} \text{ cm}^{-2} \sim 5 \times 10^{14} \text{ cm}^{-2}$ の量のリンを100KeV~180KeVのエネルギーで注入したものである。一方N-ドレイントランジスター600aはリンのイオン注入を30KeV~100KeVのエネルギーで作られる。トランジスター600aにはN-ドレイン用にヒ素も使える。その時トランジスター600aのNドレインジャンクションの深さはヒ素のソースジャンクション位浅くなる。フローティングゲートポリシリコン440は熱成長させたトンネルオキサイド420上にデポジットされ、ポリシリコン層上に薄いオキサイドが成長される。それからフォトレジストマスク464がつけられ、図9Cに示されるようにフローティングゲートを隣のセルから分離させる。

【0095】ONOやナイトライドを加えたオキサイドのようなコンポジットの(合成の)誘電層430がデポジットで作られ、その上に第2のコントロールゲートポリシリコン445を作る。誘電層455をコントロールゲートポリシリコン上に作成後、図9Dに於けるフォトレジストマスク466を使い、注意深くリアクティブイオンエッチングでコントロールゲートとフローティングゲートをエッチする、その次にステップのソース/ドレインジャンクション領域にイオン注入をする。普通のFET工程での側壁スペーサー形成、拡散アニーリング、

バシベーション、コンタクトホール穴開け、配線用の金属工程等が続く。こうして図仏に示されるスタックトランジスター400aや図6Aに示されるトランジスター600aの最終的デバイス構造が得られる。

【0096】

【実施例：簡単な段差形成法を用いたスプリットゲートトランジスタの製造方法】段差チャンネル形成後は段差チャンネル/ドレインのあるスプリットゲートトランジスター400bと600bの製造工程は一般的に作られているスプリットゲート工程と少しも異ならない。段差チャンネル形成中はN-ドレインジャンクションの要求条件は2つのトランジスタで異なる。トランジスター400bのN-ドレインはフローティングゲートからN-ドレインへのトンネル消去のため高電圧用にデザインされており、その為トランジスター400bのN-ドレインジャンクションは600bのそれより深く、高拡散リンの注入によって得られるが、 $5 \times 10^{13} \text{ cm}^{-2} \sim 5 \times 10^{14} \text{ cm}^{-2}$ の量のリンを100KeV~180KeV間のエネルギーで注入する。一方トランジスター600bのN-ドレインは30KeV~100KeVと云ったリンイオン注入の小さいエネルギーによって形成される。トランジスター600bにはN-ドレインの為にヒ素を使っても良い。こうしてトランジスター600bのN-ドレインジャンクションの深さはヒ素ソースジャンクションと同じくらい浅い。

【0097】図10Bに於いてフォトレジストマスク465がN+ジャンクション形成のために使われる、そしてヒ素、リン或いはアンチモンの種類を使ったN+イオンを注入する。そして隣接したセル間のフローティングゲートを図9Cのようにフィールドオキサイド上で分離する。チャンネル418上の薄いオキサイドを除去した後、スプリットゲートチャンネルゲートオキサイドとポリオキサイドを熱成長させる。それからONOやナイトライドオキサイドと云ったコンポジットの誘電層、その後図10Cに示された第2コントロールゲートポリシリコン445がデポジットされる。404のN+のイオン注入量は $5 \times 10^{20} \text{ cm}^{-2}$ から $5 \times 10^{21} \text{ cm}^{-2}$ 云ったかなり高いものが選ばれているが、これはオキサイド424を図10Cに於けるスプリットチャンネルゲート418上のゲートオキサイド428と比較しN+拡散404上に厚く成長させる為である。

【0098】誘電コンポジット層430(合成誘電層)とスプリットチャンネル領域428を作成後、コントロールゲートポリシリコンはデポされ、フォトレジストマスクを使い注意深いリアクティブイオンエッチングによりコントロールゲートとフローティングゲートを同時にエッチする。それから側壁スペーサー作成、拡散アニーリング、バシベーション、コンタクトホール穴開けと配線メタライゼーション等の普通のFET工程が続く。こうしてスプリットゲートトランジスタ(図4Aの)4

00bと図6Aのトランジスタ600bの最終的なデバイス構造が得られる。

【0099】各々の方法により簡易な工程によりセルフアラインの拡散領域を持った高注入段差チャンネル構造を持つトランジスタ400a、400b、600aと600bが得られる。一旦段差チャンネル/ドレインが形成されると従来のスタックゲートトランジスタやスプリットゲートトランジスタの工程が続く。

【0100】【実施例：大きな側面ゲートを持つ段差スプリットゲートトランジスタの製造

【実施例：大きな側面ゲートを持つ段差スプリットゲートトランジスタの製造方法】スプリットゲートトランジスタ600cの第2の製造方法は水平チャンネルとフローティングゲート下のオーバーラップしたLnの長さを正確にコントロールする方法である。2つの製造方法を次に説明する；第1は比較的に大きな水平チャンネルをフローティングゲートの下に作るもので、第2は水平チャンネルの長さが短いものである。図11A～11Gは上述の本発明の特徴に関連した段差チャンネル/ドレイン構造のあるスプリットゲートトランジスタ600cの製造方法のバリエーションを示す。LOCOSのデバイス分離又は浅いトレンチの分離の後、ワードラインゲート645（トランジスタ600bに於けるスプリットゲートチャンネル618の機能にあたるもの）が図11Aに示されている、そこでポリシリコン645の高さは約250nmから400nmの間で、ポリシリコンは100から200nmの誘電層655で覆われている。ポリシリコンが定義された後薄いオキサイド（10～20nm）656がポリ側壁上に熱成長され、その後薄いナイトライド657がCVDデポジションによって作られる（図11B）。フォトレジスト661はコンタクト領域を設定するのに使われる。フォトレジストマスクを使ってナイトライド膜657がRIEによって等方的にエッチされ、N+ソースジャンクションをの為にヒ素等のイオンが注入される。フォトレジストを除去した後、図11Cの側壁オキサイド（50～80nm）658を反対側のポリシリコンゲート645の656のそれより数倍厚い熱酸化膜をコンタクトホール領域に選択的に熱成長させる。

【0101】コンタクトホールの底部のオキサイドは垂直なRIEによってエッチされる、その間フローティングゲート側のナイトライド656が下部の酸化を防ぎジャンクションN+604上の酸化膜のエッチ時のエッチストップともなる。ポリシリコン670は180～200nmの厚さがあり、デポジットされた時点では図11Dの点線で示される。

【0102】フローティングゲート上の水平チャンネル長610を決める側壁スペーサー672を形成する為に垂直ドライエッチがなされる。0.3μmのリソグラフィが使われる時、ゲート幅とスペース645は0.3

μmであり、厚い側壁オキシデーション658の後のコンタクト穴は0.25μm位である。それ故コンタクトホール671はポリシリコン670が150nmより厚いときにはポリ側壁エッチ後でさえまだこのポリシリコンで完全に埋まっている。埋まったポリシリコンはセルフアラインしたコンタクトを形成するのに使われる。ポリシリコンスペーサーをエッチした後N-ドレイン620用のリンが1cm²につき1E14-7E15の量が50、100KeVで注入される。それから薄いナイトライド層657がポリスペーサー672をエッチマスクとして垂直方向にエッチされる。ここに於ける断面は図11Dのようになる。1回のポリシリコンデポジションで水平チャンネル部を作ると同時に、コンタクト穴を埋めるセルフアラインしたボーダーレスコンタクトを提供することがこの工程のユニークな特徴の一つである。図11Eのフォトレジスト662はセルフアラインで作られた側壁ポリシリコンの除去中コンタクトホール内のポリシリコンを守る為に使われる。側壁ポリシリコンをマスクとして薄いナイトライド657をエッチする。つぎに薄いナイトライド657をマスクとして熱オキサイドの656をエッチ、引き続き基板をドライエッチして約50nmの垂直段差を作る。次に熱オキサイドを形成、その後選択的且つ等方的に化学ドライエッチによりナイトライド657を除去する。この時点で断面図が11Eである。フォトレジスト662を除去した後オキサイド656はHF液の薄い液でウェットエッチする。再び熱オキサイド（50-100nm）をチャンネル領域620とポリシリコン630の側壁に成長させ（側壁ポリ上のオキサイドはシングルクリスタルシリコン基板上より少々厚みである）。このオキサイド層にN₂O環境でナイトライド化を加えてその後酸化を繰り返してピンホールを最小にとどめる。

【0103】ナイトライゼーションのかわりに薄いCVDのナイトライド層（約6nm）をデポジットしても良い。それからフローティングゲートポリシリコンをCVDによりコンフォーマルにデポジットし、図11Fに示されるようにRIEによって垂直にエッチする。ポリシリコンの厚さが側壁の寸法を決め、それがフローティングゲートの長さを決める。CVDの厚さは大変正確にコントロールされ得るので（5%以内）水平チャンネル長とLn長の寸法は非常に正確に設定される。この2つの側壁工程を使い正確にデザインゴールを満たすことが出来る。ナイトライデーションとポリの側壁オキサイド630上のナイトライド層の存在の目的はリテンションタイムをよくするため、ワードゲート645とフローティングゲート640の間のリーク電流を減らす事にある。トンネル消去電圧減少のためにシリコンナイトライドをシリコンに富んだシリコンオキサイドに更えても良い。側壁ポリのフローティングゲートの隣接セル分離、コンタクトポリの分離は同時にフォトレジストマスク

(従来発明によるフローティングゲートEEPROM工程に使われるスリットマスクに相当)を使い図11Hの640Sと671Sで示されるようにリアクティブイオンエッチにより分離される。その後ポリシリコンフローティングゲートの熱酸化とCVDオキシサイドのデポジションとナイトライドコンボジット層629が続く。コンボジット層629の目的はフローティングゲートポリシリコン640をコンタミネーションと湿気から守るためである。ここより普通の工程に入る: フォスフォシリケートガラス(PSG)のようなバシベーション層のデポジション、CMPによる平坦化、コンタクトホール

の穴開け、タングステンかアルミニウムか銅を使ったコンタクトホール埋め込み、そして配線用メタライゼーションである。この工程が終わった後の断面図を図11Gに示す。図11Hにメモリーセルを上から見た図を示す。この簡単なプロセスでセルフアラインで段差チャンネル/n-ドレイン領域の構造が達成できる。

【0104】このようにしてチャンネル長、水平チャンネル及びスプリットゲートのフローティングゲート下の段差N-ドレインの長さを側壁技術を使って正確に細かく形成することが出来る。そしてフローティングゲート下の水平チャンネルを設定するために使われるポリシリコンはセルフアラインされるコンタクトホールを埋め込むためにも使われている。

【0105】

【実施例: 小さな側面ゲートを持つ段差スプリットゲートトランジスターの製造方法】図12Aから図12C迄に段差チャンネル/ドレイン構造のあるスプリットゲートトランジスター600cのバリエーションの製造方法を示す。ここでフローティングゲート下の水平チャンネル長は100nm以下で従来の水平チャンネル長(150nm以上)と比べて大変小さい。これらの2つのトランジスターの工程は大変似ている。

【0106】LOCOS分離が浅いトレンチ分離によるデバイス分離の後、ワードラインゲート645(トランジスター600bのスプリットゲートチャンネル618の機能に相当する)は図11Aに示されているように設定されているがポリシリコン645の高さは約250nmから400nmの間である、そのポリシリコンは100から200nmの誘電層655で覆われている。そして薄い酸化膜(10-20nm)656がポリシリコン側壁上に熱成長され、薄いシリコンナイトライド657が図11Bで示されるようにCVDでデポジションされる。ここでナイトライドの厚さが水平チャンネルの長さ(100nm以下)を決定する。フォトレジスト661はコンタクト領域を保護するのに使用される。フォトレジストマスクを使ってナイトライド膜657はRIEにより等方的にエッチされヒ素等のイオンが注入されてN+ソースジャンクションを形成する。

【0107】フォトレジストを除去した後側壁オキシ

ド(50-80nm)、図11Cの658は反対側のポリシリコンゲート645の656より数倍厚いコンタクト領域に選択的に熱成長させる。コンタクトホールの底のオキサイドはRIEで垂直にエッチされる。その間ナイトライド657がその他の領域の酸化を防ぐと共にジャンクションN+604上のオキサイドのエッチング中のエッチストップともなる。そして図11Dの点線で示されるように180-200nm厚のポリシリコン670がデポジションされる。側壁スペーサー672を形成するため方向性のドライエッチをする。0.3μmリソグラフィを使うとゲート幅とスペース645が0.3μmになる。それで厚い側壁オキシデーション658の後のコンタクトホールは約0.25μmになる。それでコンタクトホール671はポリシリコン670が150nm以上であればポリ側壁エッチの後、まだ完全に埋め込まれている。この埋め込まれたポリシリコンはセルフアラインコンタクトを形成するのに使われる。フォトレジスト662は側壁ポリシリコンを除去する時にコンタクトホールの中のポリシリコンを守るために提供されている。そしてナイトライド657が垂直にエッチされ図12Bの点線で示されたナイトライドスペーサーが層656の下に熱オキサイドの設定に使われる。それからナイトライド657が選択的に化学ドライエッチによって除去される。ナイトライドスペーサーの設定後にN-ドレイン602の為にリングがcm²に付き1E14、7E15の間のドーズ量で50-100KeVのエネルギーで注入される。シリコンの基板の垂直ドライエッチを続けて50nmの段差を作る。N-ドレインのイオン注入は段差形成後も良い。ここでの断面図が図12Bである。フォトレジスト662を除去した後オキサイド665は薄められたHFバッファ液でウェットエッチされる。熱酸化膜(50-100nm)はチャンネル領域620上と側壁ポリシリコン630に成長させられる。(ポリ上の側壁酸化膜はシングルクリスタルシリコン基板上より少々厚めである。)

【0108】オキサイド層はN₂O環境でナイトライド化されオキシデーションを繰り返してピンホールを最小限にとどめる。ナイトライドの代わりに薄いCVDのシリコンナイトライド層(約6nm)にしても良い。それからフローティングゲートポリシリコンが図12Cに示されるようにCVDでコンフォーマルにデポジションされ、その後RIEによる垂直エッチをほどこす。ポリシリコンの厚さが側壁の寸法をコントロールし、側壁の寸法がフローティングゲート長をコントロールする。CVDの厚さは(5%以内)大変正確にコントロールされるので、ナイトライドとポリシリコンのCVDを使う2つの側壁工程により水平チャンネルの長さL_nの長さを大変正確に設定することが出来る。窒化とポリ側壁オキサイド630上のナイトライド層を作る目的はワードゲート645とフローティングゲート640の間のリーク電

10

20

30

40

50

流を減少し、リテンションタイムを良くすることにある。窒化膜はトンネル消去電圧を減らす為にシリコンに富んだオキサイドに変えても良い。側壁ポリエッチの後フローティングゲートと隣接のセル間のコンタクトポリは同時にフォトレジストマスクを使って(従来のEEPROMフローティングゲート工程に使われるスリットマスクのように)図11Hの640Sと671Sに示される様に注意深いリアクティブイオンエッチで分離する。それからポリシリコンフローティングゲートの熱酸化とナイトライドコンボジット層629が続く。コンボジット層629の目的はフローティングゲートポリシリコン640をコンタミネーションと湿気から守る事である。

【0109】それから普通の工程が続く: PSGの様なバシベーション層のデポジション、CMPによる平坦化、コンタクトホール穴の埋め、そして配線金属工程である。そのメモリーセルを上から見るとちょうど図10Hの様に見える。こうしてセルフアラインで水平段差チャンネル/n-ドレイン領域を達成できる。

【0110】こうしてチャンネル長とスプリットゲートのフローティングゲート下の水平チャンネル長とN-ドレイン長は2つの側壁技術を使って正確に設定できる。ポリシリコンで埋め込まれたセルフアラインしたコンタクトも提供されている。

【0111】

【実施例: トレンチスプリットゲートトランジスターの製造方法】図13Aから図13Gはトランジスター600dと600eの製造方法を示すが600eはトランジスター600dのバリエーションである。デバイス分離形成(浅いトレンチかLOCOS)直後、図13Aに示されたデバイス領域に50nm厚のナイトライド層652がまだ残っている。このナイトライド層のソース604とドレイン606領域(図13B)はフォトレジストマスクを使って除去される。それから窒化膜より少し厚めにCVD酸化膜を図13Cの点線で示すようにデポジットしCMPをする。平坦化は拡散層上の穴を埋め少なくとも50nmの厚さのオキサイドを提供する。段差領域に埋め込みフローティングゲートを形成するために図13Dで示されるようにフォトレジストマスク662を使ってフローティングゲート領域を露出し緩やかなRIEでシリコンを100nm~300nmエッチする。複数のヒ素注入を違った量、注入の傾斜角度を調整しながら浅いジャンクション603を達成する。段差側壁613では、 $1E17cm^{-3}$ から $5E17cm^{-3}$ の間の表面濃度になり段差602の底面ではもっと高い添加レベルを持つが、それは $5E19cm^{-3}$ 以下である。オプションとして水平面と垂直面の角に於ける電界を高くする為に浅いヒ素化側壁ジャンクションよりも少し深めにボロンヘイローを注入しても良く、その場合ここが注入点になる。

【0112】フォトレジストマスク662除去後は段差

シリコン表面をクリーンにし、図13Eに示される様に薄い7~12nmの酸化膜を熱成長させる。それからポリシリコン層を段差の深さより少し厚めにすべきだが図13Eの点線で示されるようにCVDでコンフォーマルにデポジットする。そのポリシリコン層は化学研磨(CMP)によって平坦化されドライRIEによって表面を少しだけ低くする。図13Eの段差領域の残りの埋め込まれたポリシリコンはフローティングゲートになる。薄い酸化膜を熱成長させた後窒化膜652をリン酸(フォスフォリックアシッド)か化学研磨で選択的に除く。表面をクリーンにした後、酸化膜628(7nm~15nm厚)を選択チャンネルゲート618とフローティングゲート上のカブリングオキサイド630上に熱成長する。ポリシリコン上の酸化膜630はシリコン基板の酸化膜より少し厚めである。これはポリシリコンのドーピングの成長率が高い為である。酸化膜はNO環境で窒化せよ、ピンホールを最小限にとどめる為にもう一度軽く酸化を繰り返す。窒化のかわりにCVDでナイトライド層(約6nm)又はシリコンリッチオキไซด์を図13Fに示すようにデポジットしても良い。選択ゲートのポリシリコンはCVDでコンフォーマルにデポジットする。図13Gに示すように隣接したSTI領域上で選択ゲートを分離する為にポリシリコン層をエッチする。このようにしてメモリートランジスター600dが得られる。それからバシベーション、コンタクトホール設定、配線と云った普通のFET工程が続く。上から見たメモリーセルが図13Hである。同じ工程を使い前記のデザインのN+ドレイン形成部分を除くと高集積のセル600eのバリエーションが得られる。高集積のメモリーアレイは多くの600eタイプのトランジスターをへいれつに並べることににより実現できる。

【0113】

【発明の効果】チャンネルホットエレクトロンの速度方向の水平面に対し、垂直にフローティングゲートを置くと同時に垂直面チャンネルの不純物分布を最適化した、垂直段差トランジスター構造を構成することにより、垂直ゲートとドレイン電圧の水平電界相乗効果と非散乱直進注入はエレクトロンのフローティングゲートへの注入効率を著しく高める事が出来る。それは低電圧、高速のEEPROM、Flashメモリーに応用され得るが、ビット線の電圧選択時に同時に書き込み消去も出来るNVRAMをも可能とする。

【図面の簡単な説明】

図1Aはチャンネルホットエレクトロンをフローティングゲートに注入してプログラムする従来技術によるEPROMセルの断面図である。図1Bは従来技術によるスプリットEPROMセルの断面図であり、チャンネルホットエレクトロンをフローティングゲートへの注入によってプログラムする。図2は従来技術によるスタックEPROMセルの断面図であり、'ラッキーエレクトロン

モデル'のフローティングゲートへのチャンネルホットエレクトロン注入の説明に使われている。図3Aは、従来技術によるスタックEEPROMセルの断面図でフローティングゲートからソース領域へのエレクトロンのトンネリングによって消去する。図3Bは従来技術のトリプルポリシリコンフラッシュEEPROMの断面図でフローティングゲートから消去ゲートへのトンネリングによって消去する。図4Aと4Bは本発明の第1特徴に関連する段差チャンネル/ドレイン構造のあるスタックゲートEEPROMセルの断面図でチャンネルホットエレクトロンはエレクトロンの進行方向へ垂直に存在するフローティングゲートへと真っ直ぐに側壁チャンネルオキサイドを通して注入される。本発明の第3の特徴ではフローティングゲートから段差ドレイン拡散へトンネリングによってフローティングゲートのエレクトロンは除去される。図4Cは段差の角度測定図であり集積度を考慮に入れる為チャンネルシリコン表面より測って30度以上が適切な角度である。図5Aは本発明の第2の特徴に関連する段差チャンネル/ドレイン構造を持つシングルポリシリコンEPROMセルの断面図でチャンネルホットエレクトロンはエレクトロンの進行方向へ垂直に存在するフローティングゲートへと真っ直ぐに側壁チャンネルオキサイドを通して注入される。図5Bはキャパシタの断面図であり、ポリシリコンゲートは図5AのEPROMセルのフローティングゲートポリシリコンに電気的に接続されコントロール/セレクト(選択)ゲートの機能を提供する。図5CはEPROMメモリーセルの断面図で図5AのEPROMトランジスター500aがメモリートランジスターの選択機能を提供する普通のFETトランジスター500cに直列につながれている。図6Aは本発明の第4の特徴に関連する段差チャンネル/重複ドレインの大きい構造をもつスタックEEPROMセルの断面図に於いてトンネル消去を行うものである。ここで、フローティングゲート上のエレクトロンは段差チャンネルオキサイドを通じて進行方向に真っ直ぐに注入される第1特徴に加えてフローティングゲート上のエレクトロンはフローティングゲートからコントロールゲートへのトンネリングによって除去される。図6Bは、本発明の第4特徴に関連する段差チャンネル/大重複ドレイン構造のあるスプリットゲートEEPROMの断面図においてでトンネル消去を行うものある。ここでフローティングゲート上のエレクトロンはトンネリングによりフローティングゲートからコントロールゲートへと除去される。又このトランジスターは本発明の第5の特徴である適切なデザインと条件により不揮発性RAMとして動作する。図6Cは段差チャンネルを持つ他のスプリットゲートEEPROMセル構造の断面図でありこれは図6Bのトランジスター600bと同一の動作機能を持

つバリエーションである。図6Dと6Eは段差チャンネルのある図6Bのダブルポリシリコンスプリットゲートトランジスターのバリエーションである。図7Aは図6A、6B、6C、6D、6Eのトランジスターの簡略化されたキャパシタンスモデルでポリトンネル消去EEPROMと不揮発性(ノンボラタイル)RAMの動作の説明の為のものである。図7Bは本発明の第5の特徴に関連する不揮発性RAMの'0'と'1'の書き込みの電圧条件の例を示すテーブルである。図8AはトリプルポリシリコンスプリットゲートEEPROMセルの断面図で本発明の第6の特徴に関連するフローティングゲートにおいて垂直(段差)の長いチャンネルをもち、チャンネルホットエレクトロンはエレクトロンの直進行方向に垂直なチャンネルオキサイドを通してフローティングゲートへ注入される。フローティングゲートのエレクトロンはトンネリングによってフローティングゲートからドレイン拡散(ディフュージョン)成いはフローティングゲートから選択ゲートへと除かれる。図8BはトリプルポリシリコンスプリットゲートEEPROMセルの断面で図8Aのトランジスターのバリエーションであり、本発明の第6の特徴に関連する普通ゲート用の垂直チャンネルであり、ここでもホットエレクトロンは真っ直ぐに進行方向のフローティングゲートへと水平チャンネルオキサイドを通して注入される。フローティングゲートのエレクトロンはフローティングゲートからドレイン拡散へとトンネリングによって除去される。図9Aと9Bは本発明の第7の特徴に於いて段差チャンネル形成段階中にセルフアラインのドレイン n -拡散をつくる工程をしめす断面図である。図9Cと9Dは図4A、図5A、図6Aの生産工程の色々な段階のスタックゲートセル形成の断面図である。図10Aから10Cは、図4B、図6Bの生産工程の色々な段階のスプリットゲートセル形成の断面図である。図11Aから11Gは図6Cのスプリットゲート形成中の各く生産工程中の断面図でありここでフローティングゲート幅は少なくとも150nmある。図11Hは図11Hのライン11G-11G'にそってとられた断面図である。図11Hは段差注入チャンネルのあるスプリットゲートトランジスターを上から見た図である。図12Aから12Cは図6Cスプリットゲートトランジスター形成生産工程の色々な段階に於ける断面図で水平フローティングチャンネルは100nm以下である。図13Aから13Gはトランジスター600dとトランジスター600eの生産工程の色々な段階に於ける断面図である。図13Gは図13Hのライン13G-13G'にそってとった断面図である。図13Hは工程完了後のメモリーアレイのトランジスター600dを上方から見た図である。

[FIG. 1A]

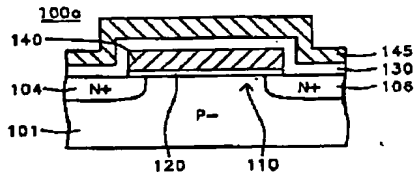


FIG. 1A - Prior Art

[FIG. 1B]

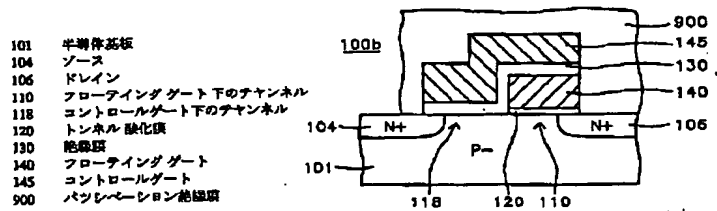


FIG. 1B - Prior Art

[FIG. 2]

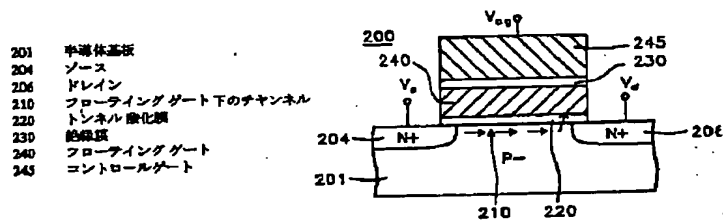


FIG. 2 - Prior Art

[FIG. 3A]

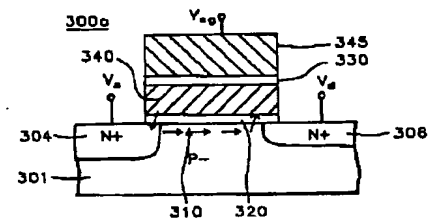


FIG. 3A - Prior Art

[FIG. 3B]

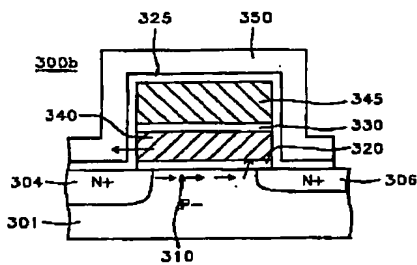


FIG. 3B - Prior Art

[FIG. 4A]

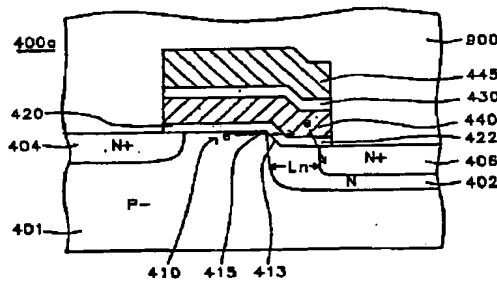


FIG. 4A

[FIG. 4B]

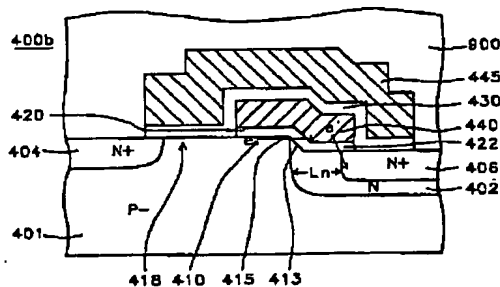


FIG. 4B

[FIG. 5B]

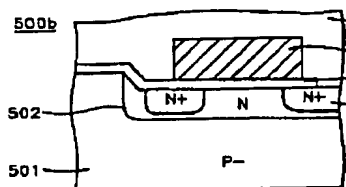


FIG. 5B

- 301 半導体基板
- 304 ソース
- 306 ドレイン
- 310 フローティングゲート下のチャネル
- 320 トンネル酸化膜
- 325 絶縁膜
- 330 絶縁膜
- 340 フローティングゲート
- 345 コントロールゲート
- 350 第三のポリシリコン

- 101 半導体基板
- 104 ソース
- 106 ドレイン
- 110 フローティングゲート下のチャネル
- 118 コントロールゲート下のチャネル
- 120 トンネル酸化膜
- 130 絶縁膜
- 140 フローティングゲート
- 145 コントロールゲート
- 900 パッシベーション絶縁膜

[FIG. 4C]

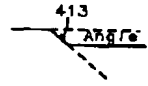


FIG. 4C

- 401 半導体基板
- 402 N-領域
- 404 ソース
- 406 ドレイン
- 410 フローティングゲート下のチャンネル
- 413 炭素 チャンネル
- 415 炭素 コーナ
- 418 コントロールゲート下のチャンネル
- 420 トンネル 酸化膜
- 422 N-領域上の酸化膜
- 425 絶縁膜
- 430 絶縁膜
- 440 フローティングゲート
- 445 コントロールゲート

[FIG. 5A]

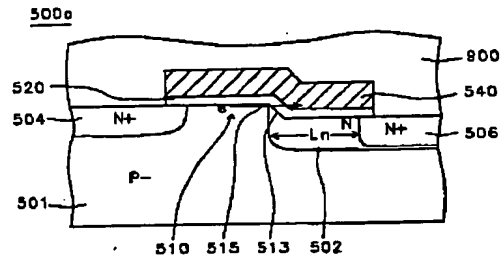


FIG. 5A

[FIG. 5C]

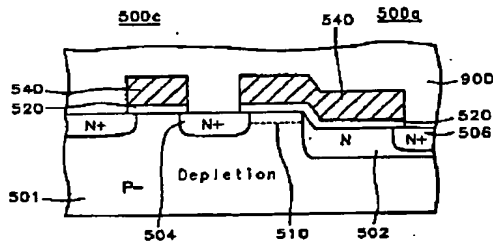


FIG. 5C

- 501 半導体基板
- 502 N-領域
- 504 ソース
- 506 ドレイン
- 510 フローティングゲート下のチャンネル
- 513 炭素 チャンネル
- 515 炭素 コーナ
- 520 トンネル 酸化膜
- 540 フローティングゲート
- 556 キャパシタクタミナル シヤンタシオン
- 900 パツシベーション絶縁膜

[FIG. 6A]

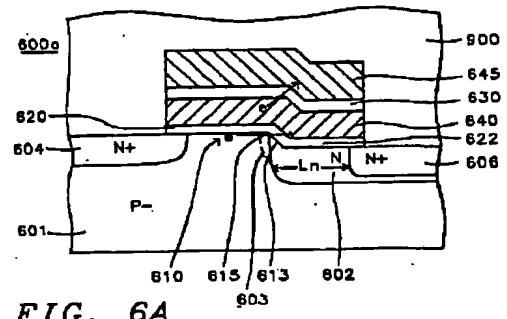


FIG. 6A

[FIG. 6B]

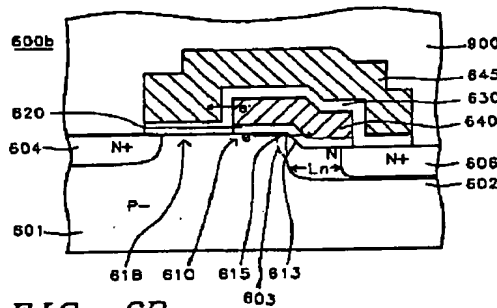


FIG. 6B

- 601 半導体基板
- 602 N-領域
- 603 P-ヘイロー (ポケット)
- 604 ソース
- 606 ドレイン
- 610 フローティングゲート下のチャンネル
- 613 炭素 チャンネル
- 615 炭素 コーナ
- 618 コントロールゲート下のチャンネル
- 620 トンネル 酸化膜
- 622 N-領域上の酸化膜
- 628 コントロールゲート酸化膜
- 630 絶縁膜
- 640 フローティングゲート
- 645 コントロールゲート
- 654 基板分離絶縁層
- 658 ポリ 側面 酸化膜
- 900 パツシベーション絶縁膜

[FIG. 6C]

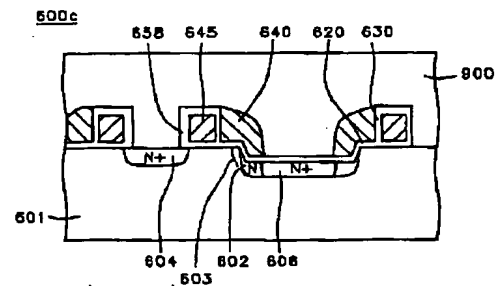


FIG. 6C

[FIG. 7A]

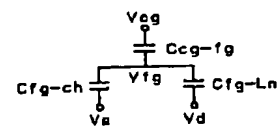


FIG. 7A

[FIG. 6D]

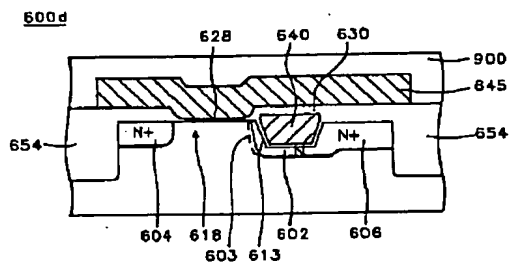


FIG. 6D

[FIG. 6E]

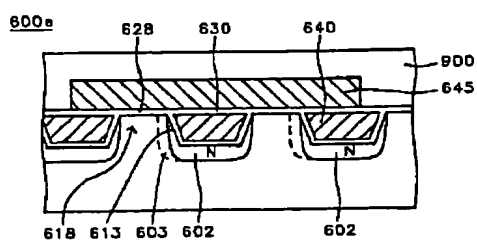


FIG. 6E

[FIG. 7B]

Write Data	Selected Control gate			Unselected Control gate		
	'0' CHE Inj.	'1' Tunnel Erase	Unchange	'0'	'1'	Unchange
Vcg (V)	10	10	10	5	5	5
Vd (V)	10	0	5	10	0	5
Ve (V)	5	0	5	5	0	5
Vfg (V)	8.3	3.3	6.7	6.7	1.7	5
Eono in MV/cm	1.6	6	3	-1.6	3	0

FIG. 7B

[FIG. 8A]

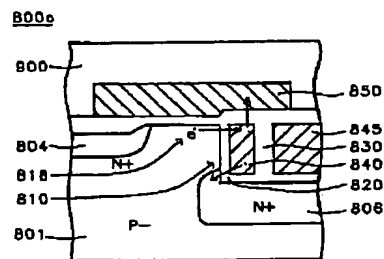


FIG. 8A

[FIG. 8B]

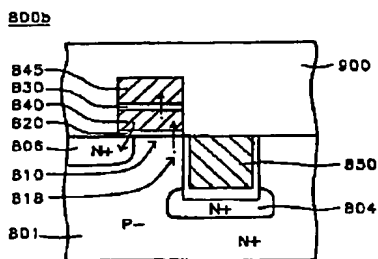


FIG. 8B

[FIG. 9A]

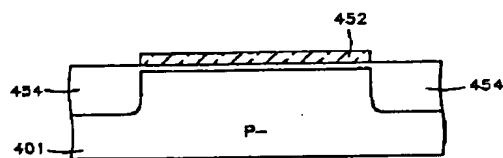


FIG. 9A

[FIG. 9B]

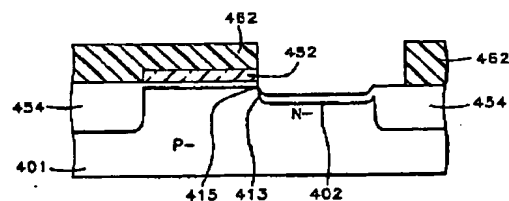


FIG. 9B

- 801 半導体基板
- 804 ソース
- 806 ドレイン
- 810 フローティングゲートの下のチャンネル
- 818 コントロールゲート下のチャンネル
- 820 トンネル酸化膜
- 830 絶縁膜
- 840 フローティングゲート
- 845 コントロールゲート
- 850 第三のポリシリコン
- 900 パッシベーション絶縁膜

[FIG. 9C]

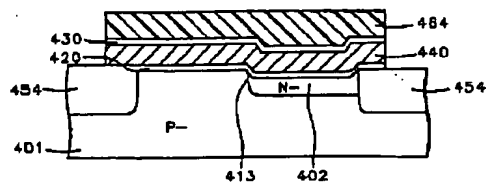


FIG. 9C

[FIG. 9D]

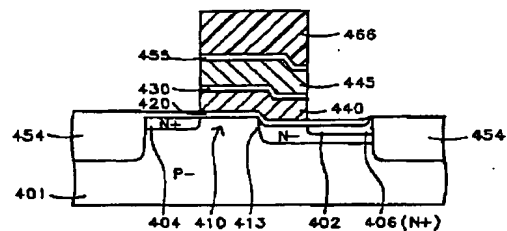


FIG. 9D

[FIG. 10C]

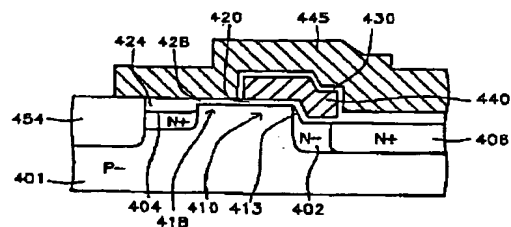


FIG. 10C

[FIG. 11B]

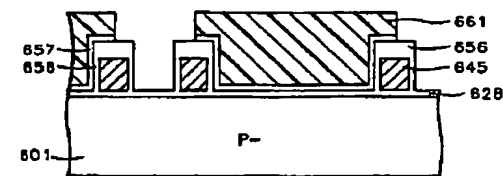


FIG. 11B

[FIG. 10A]

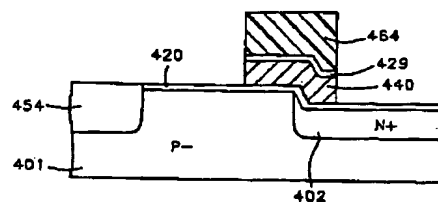


FIG. 10A

[FIG. 10B]

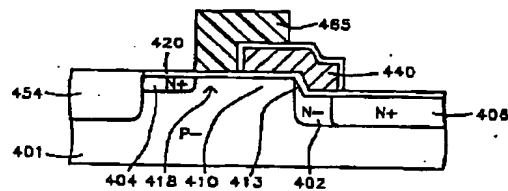


FIG. 10B

[FIG. 11A]

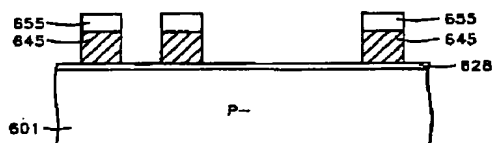


FIG. 11A

[FIG. 11D]

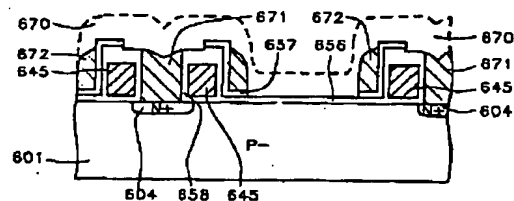


FIG. 11D

- 401 半導体基板
- 402 N-領域
- 404 ソース
- 406 ドレイン
- 410 フローティングゲート
- 413 底層チャネル
- 415 段差コーナ
- 420 トンネル酸化膜
- 430 絶縁膜
- 440 フローティングゲート
- 445 コントロールゲート
- 452 酸化膜
- 453 絶縁膜
- 454 基板分離絶縁層
- 462 フォトリソグ
- 464 フォトリソグ
- 466 フォトリソグ

- 401 半導体基板
- 402 N-領域
- 404 ソース
- 406 ドレイン
- 410 フローティングゲート下のチャネル
- 413 底層チャネル
- 418 コントロールゲート下のチャネル
- 420 トンネル酸化膜
- 424 酸化膜
- 428 酸化膜
- 429 絶縁膜 (ポリ酸化膜)
- 430 絶縁膜
- 440 フローティングゲート
- 445 コントロールゲート
- 454 基板分離絶縁層
- 464 フォトリソグ
- 466 フォトリソグ

【FIG. 11C】

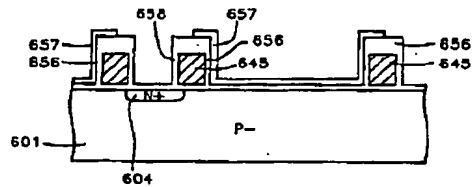


FIG. 11C

【FIG. 11H】

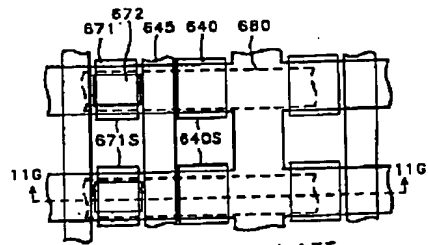


FIG. 11H

- 601 半導体基板
- 602 N-領域
- 604 ソース
- 606 ドレイン
- 618 コントロールゲート下のチャネル
- 620 トンネル酸化膜
- 628 酸化膜
- 629 絶縁膜 (ポリ酸化膜)
- 630 絶縁膜
- 640 フloatingゲート
- 645 コントロールゲート
- 656 酸化膜
- 657 酸化膜
- 658 ポリ窒素酸化膜
- 661 フォトリソグ
- 662 フォトリソグ
- 670 ポリシリコン
- 671 ポリシリコンコンタクト
- 672 ポリシリコンスペーサー
- 680 メタル配線 (ビット)
- 900 バッファ層

【FIG. 11E】

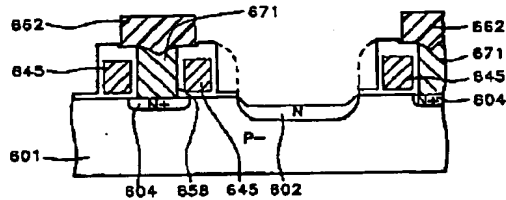


FIG. 11E

【FIG. 11F】

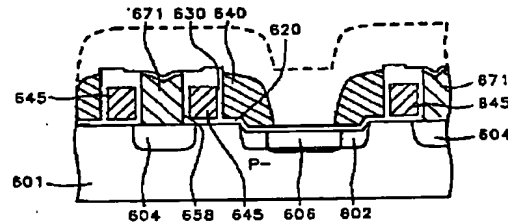


FIG. 11F

【FIG. 11G】

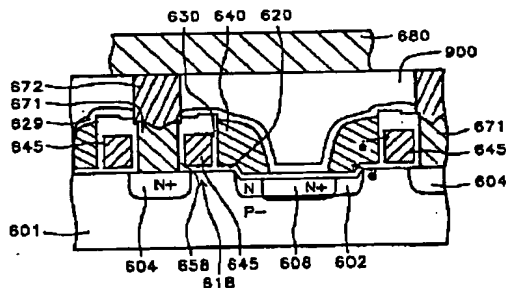


FIG. 11G

【FIG. 12A】

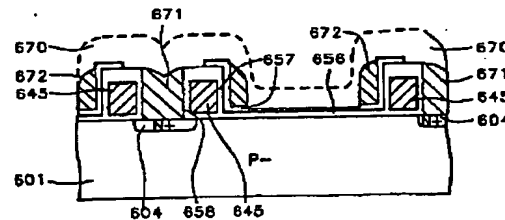


FIG. 12A

【FIG. 12B】

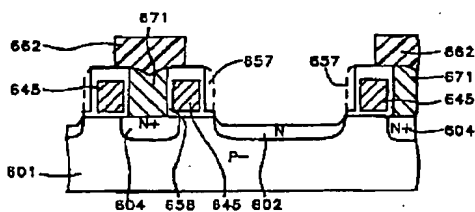


FIG. 12B

【FIG. 12C】

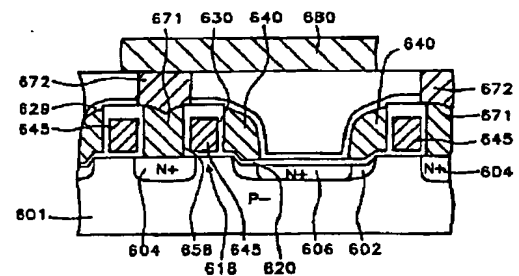


FIG. 12C

- 601 半導体基板
- 602 N-領域
- 604 ソース
- 606 ドレイン
- 618 コントロールゲート下のチャネル
- 620 トンネル酸化膜
- 628 酸化膜
- 629 絶縁膜 (ポリ酸化膜)
- 630 絶縁膜
- 640 フloatingゲート
- 645 コントロールゲート
- 656 酸化膜
- 657 ナイトライド
- 658 ポリ窒素酸化膜
- 661 フォトリソグ
- 662 フォトリソグ
- 670 ポリシリコン
- 671 ポリシリコンコンタクト
- 672 ポリシリコンスペーサー
- 680 メタル配線 (ビット)

[FIG. 13A]

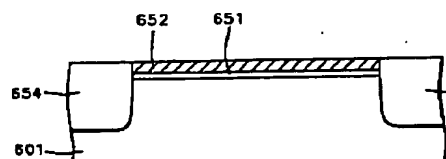


FIG. 13A

[FIG. 13B]

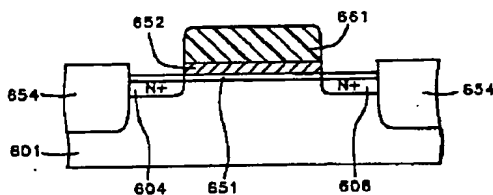


FIG. 13B

[FIG. 13C]

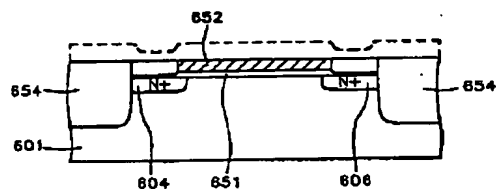


FIG. 13C

[FIG. 13E]

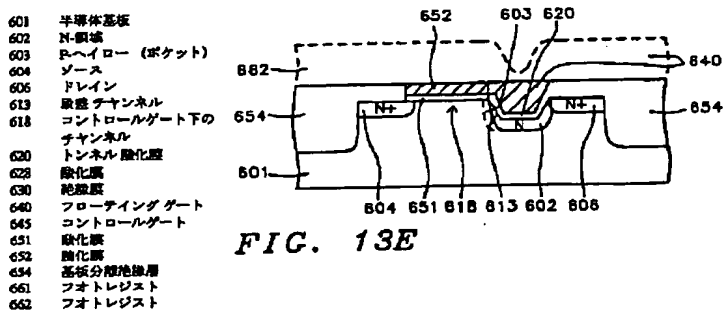


FIG. 13E

[FIG. 13D]

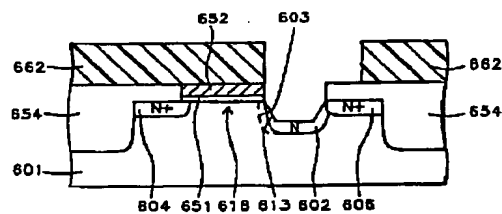


FIG. 13D

[FIG. 13F]

